

**ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΗΣ
ΠΑΡΑΡΤΗΜΑ ΧΑΝΙΩΝ**

**Ανάπτυξη και υλοποίηση πομποδέκτη, ασύρματης
επικοινωνίας, αμφίδρομης κατεύθυνσης με τεχνολογία
software radio.**

**Φοιτητές: Καρτίμπελης Χρήστος
Τζαγκαράκης Αλέξης**

Εισηγητής: Ιωάννης Μπαρμπουνάκης

Περιεχόμενα:

Εισαγωγή

Γενική περιγραφή πομπού και δέκτη

Ανάλυση τμημάτων πομπού

- a. Άμεσος ψηφιακός συνθέτης (DDS)
- b. clock frequency selection
- c. trf6900 clock circuit
- d. local oscillator
- e. Βρόγχος κλειδωμένης φάσης (PLL)
- f. Ταλαντωτής ελεγχόμενος από τάση (VCO)
- g. phase detector & charge pumps
- h. programmable divider
- i. loop filter design
- j. power amplifier

Ανάλυση τμημάτων δέκτη

- a. Ενισχυτής χαμηλού θορύβου (LNA)
- b. Μίκτης
- c. Πρώτος IF ενισχυτής
- d. Δεύτερος IF ενισχυτής και περιοριστής
- e. Δείκτης στάθμης λαμβανόμενου σήματος (RSSI)
- f. FM/FSK Αποδιαμορφωτής
- g. Φίλτρο χαμηλών συχνοτήτων και ενισχυτής
- h. Data Slicer

Διασύνδεση TRF6900-MSP430

Εκδόσεις Σύνδεσης

RS232 και RF Πρωτόκολλα

Training Sequence-Start Bit-Πακέτο δεδομένων

Ανίχνευση της Training Sequence-Ανίχνευση του Start Bit-Ανάγνωση του Πακέτου Δεδομένων

ΥΛΟΠΟΙΗΣΗ ΤΗΣ RF ΕΚΠΟΜΠΗΣ

- a. Δημιουργώντας την Training Sequence
- b. Δημιουργία του Start Bit
- c. Στέλνοντας τα πακέτα δεδομένων

Προγραμματίζοντας το TRF6900

Ρυθμίζοντας τις συχνότητες στην RF ζεύξη στους καταχωρητές A και B

Ρυθμίζοντας τους καταχωρητές ελέγχου C και D

Serial control interface

Operating modes

Περιγραφή λειτουργίας και χρήσης του αναπτυξιακού

Σενάρια δοκιμών

Εισαγωγή

Η συγκεκριμένη συσκευή χρησιμοποιείται για την μετάδοση και λήψη δεδομένων στις ραδιοσυχνότητες (RF) σε αμφίδρομη ή μονόδρομη επικοινωνία και σε χαμηλής ισχύος εφαρμογές.

Το TRF6900 μπορεί να λειτουργήσει σαν ένας ολοκληρωμένος ασύρματος πομποδέκτης στην ISM ζώνη (Ευρώπη: 868-870 MHz και Αμερική: 902-928 MHz).

Η ιδιαιτερότητα του πομποδέκτη αυτού είναι ότι χρησιμοποιεί ένα άμεσο ψηφιακό συνθέτη (direct digital synthesizer) για γρήγορη μετάβαση συχνότητας.

Ο δέκτης χρησιμοποιεί μεμονωμένη μετατροπή, για αυτό χρησιμοποιεί μεμονωμένα ενδιάμεσα φίλτρα (intermediate filter) φίλτρα των 10,7MHz ή 21, 4 MHz.

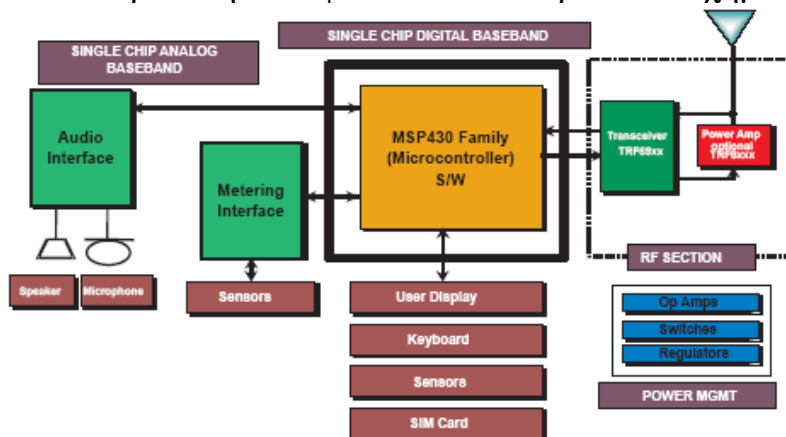
Το TRF6900 χρησιμοποιεί FSK διαμόρφωση (frequency-shift keying) εκπομπής και λήψης έως 115,2kbps.

ΔΙΑΦΟΡΑ ΣΤΑΔΙΑ ΓΙΑ ΤΗΝ ΟΛΟΚΛΗΡΩΣΗ ΤΗΣ ΠΤΥΧΙΑΚΗΣ

Αρχικά θα κάνουμε μια μικρή αναδρομή.

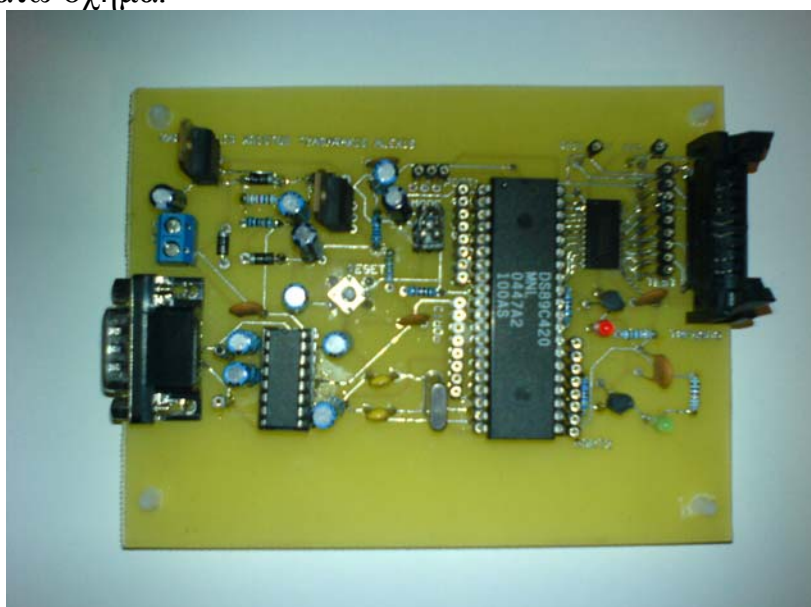
Στόχος μας ήταν να πετύχουμε, με το TRF6900, ασύρματη αμφίδρομη επικοινωνία μεταξύ πομπού και δέκτη. Μέσω ενός υπολογιστή αρχικά και στη συνέχεια να επεκτεινόταν με κάποιον άλλο συνάδελφο μας για διάφορες μετρήσεις (π.χ. Θερμοκρασίας).

Μια βασική ιδέα φαίνεται στο παρακάτω σχήμα



Σαν πρώτο βήμα έπρεπε να κατασκευάσουμε το κύκλωμα του μικροελεγκτή που θα προγραμματίζε τον ασύρματο πομποδέκτη και στη συνέχεια σε κατάσταση system mode θα στέλναμε δεδομένα για εκπομπή ή θα παίρναμε στοιχεία από κάπου αλλού και θα τα εκπέμπαμε ανά τακτά χρονικά διαστήματα.

Αυτό επετεύχθη μέσω του μικροελεγκτή DS89C420 όπως φαίνεται στο παρακάτω σχήμα.



Τα κυριότερα στοιχεία που συμπληρώνουν το μικροελεγκτή είναι: μια σειριακή θύρα, ένα max232, δυο lm317, ένας κρύσταλλος και ένας μετατροπέας sn74lvc4245a.

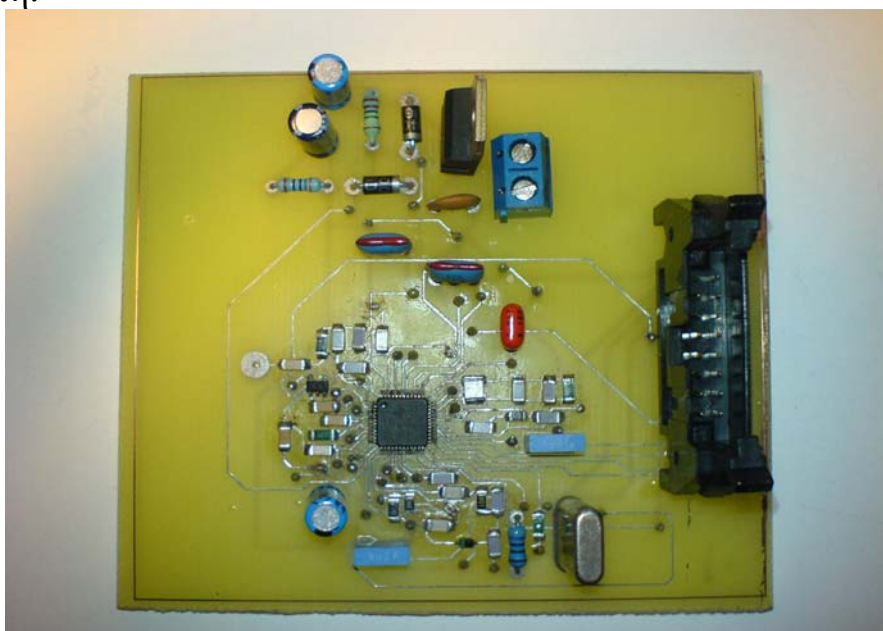
- Η σειριακή θύρα μαζί με το max232 χρησιμοποιούνται για την επικοινωνία του υπολογιστή με το μικροελεγκτή.
- Τα δυο lm317 χρησιμοποιούνται για να ρυθμίσουν την τάση τροφοδοσίας στην επιθυμητή τιμή, στο μικροελεγκτή και στο μετατροπέα sn74lvc4245a.
- Ο κρύσταλλος χρησιμοποιείται για να παράγει την συχνότητα λειτουργίας του μικροελεγκτή.
- Ο μετατροπέας χρησιμοποιείται για να μετατρέπει την τάση στα σήματα της πόρτας 0 του μικροελεγκτή, από 5.0V σε 3,3V. Ουσιαστικά μέσω του μετατροπέα αυτού γίνεται η επικοινωνία του μικροελεγκτή με το πομποδέκτη. Επειδή κάποια σήματα στην επικοινωνία αυτή είναι αμφίδρομα, ο μετατροπέας θα κάνει και της δυο μεταβάσεις, δηλαδή από 5,0V σε 3.3V και από 3.3V σε 5.0V.

Στο κύκλωμα μας υπάρχει και ένα jumper το οποίο ακολουθεί δυο καταστάσεις.

- Στην μια κατάσταση θέτει το μικροελεγκτή σε κατάσταση προγραμματισμού.
- Και στην άλλη σε κατάσταση λειτουργίας.

Τέλος έχουμε το απαραίτητο push button ,reset, που επανεκκινεί τον μικροελεγκτή σε περιπτώσεις αστάθειας.

Το δεύτερο και συνάμα πιο δύσκολο βήμα ήταν η κατασκευή του πομποδέκτη.



Τα κύρια στοιχεία που περιβάλλουν τον ασύρματο πομποδέκτη (TRF6900) είναι: ένα RF2436, ένα lm317, δυο ζωνοδιαβατά φίλτρα (BPF) και ένας κρύσταλλος.

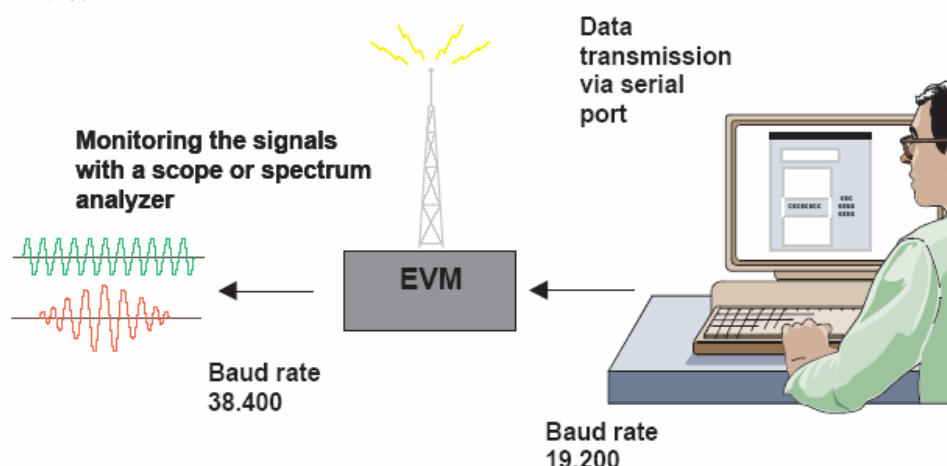
- Το RF2436 είναι ένας διακόπτης υψηλών συχνοτήτων ο οποίος μέσω ενός bit μια πόρτας του μικροελεγκτή θα θέτει τον πομποδέκτη σε κατάσταση εκπομπής ή λήψης. Επίσης πετυχαίνουμε την παρουσία μόνο μιας κεραίας στο κύκλωμα μας.
- Το lm317 χρησιμοποιείται για να ρυθμίσει την τάση τροφοδοσίας του TRF6900 στην επιθυμητή τιμή, δηλαδή 3,3V.
- Τα φίλτρα αυτά χρησιμοποιούνται στην είσοδο των δυο ενισχυτών IF, για να απορρίψουν τυχόν παραγόμενο θόρυβο και αρμονικές συχνότητες.
- Ο κρύσταλλος χρησιμοποιείται για να παράγει την συχνότητα λειτουργίας του μικροελεγκτή.

Λόγω των υψηλών συχνοτήτων και της απειρίας από μέρους μας δεν κατέστη εφικτό να συμβεί αυτό στη χρονική διάρκεια ενός εξαμήνου.

Υπήρχαν λάθη κατασκευαστικά, όπως η όχι και τόσο κοντινότερο απόσταση του κυκλώματος της varactor, για την αποφυγή χωρητικών επιδράσεων από τα γύρω στοιχεία και τους αγωγούς.

Στο επόμενο σχήμα βλέπουμε την πλακέτα δοκιμών και αξιολόγησης σε λειτουργία συστήματος. Η επικοινωνία του υπολογιστή με το ενm γίνεται με ένα baud rate στα 19.200bit/s. Η μετάδοση των δεδομένων στην RF πλευρά γίνεται με 38.400 baud και κωδικοποίηση non return to zero (NRZ). Το πρωτόκολλο επικοινωνίας RS232 είναι

μετασχηματισμένο σε ένα προσαρμοσμένο TRF6900-πρωτόκολλο ως εξής:



Data format RS232:

ακολουθία από 40bytes (=20
χαρακτήρες) Κάθε byte:
1 start bit, 8 data bits,
1 stop bit, χωρίς κρατούμενο.

Data format RF:

training (learning) sequence με
4ms με
Κάθε παλμό 26,04μs,
Ακολουθούμενο από
1 start bit (78.12μs).
Ακολουθία από 40 byte
Δεδομένων, no stop bit.

Data coding:

non return to zero (NRZ) μετά από το training
sequence.

Τεχνικές εκπομπής:

αμφίδρομη και μονόδρομη επικοινωνία.

Οι ακόλουθες προδιαγραφές χρησιμοποιούνται για να επιτευχθεί RF
εκπομπή και λήψη στη ζώνη των 869MHz.

Συχνότητα εξόδου:

869,850 MHz

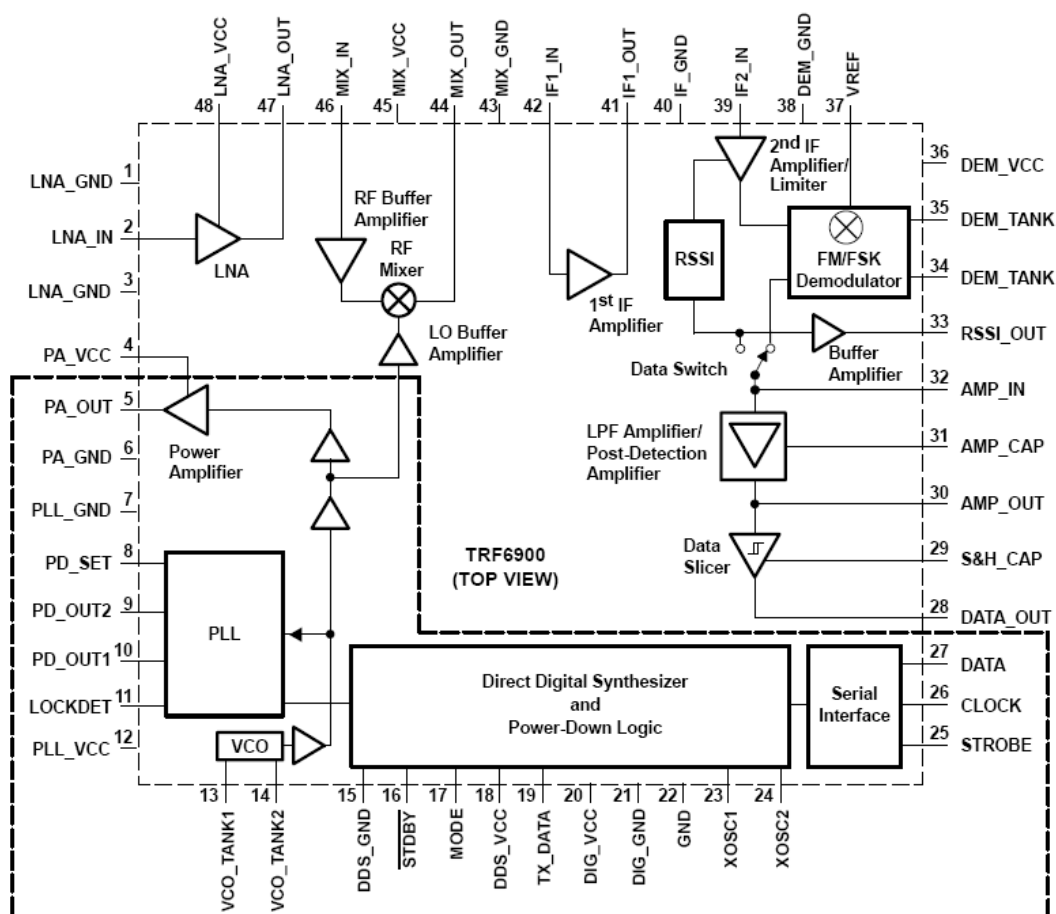
Διαμόρφωση:

2-fsk, απόκλιση ± 30 KHz

IF συχνότητα:

10,7MHz, 150KHz εύρος

Γενική περιγραφή πομπού



Το παραπάνω σχήμα δείχνει το τμήμα του πομπού στο TRF6900.

Ο πομπός αποτελείται από ένα ταλαντωτή ελεγχόμενο από τάση (VCO), από έναν πλήρως προγραμματιζόμενο άμεσο ψηφιακό συνθέτη (DDS) και από ένα ενισχυτή ισχύος (PA).

Ο εσωτερικός ταλαντωτής (VCO) μπορεί να χρησιμοποιηθεί με εξωτερικό κύκλωμα. Διαφορετικά, μπορεί να χρησιμοποιηθεί ένας εξωτερικός ταλαντωτής (VCO).

Ο διαιρέτης, ο prescaler και ο ταλαντωτής αναφοράς απαιτούν την προσθήκη ενός εξωτερικού ταλαντωτή και ενός φίλτρου βρόχων για να παραχθεί ένας πλήρης DDS με τυπική ανάλυση συχνότητας της τάξης των 230Hz.

Ο 8-bit FSK διαιρέτης συχνότητας καθορίζει την απόκλιση συχνότητας.

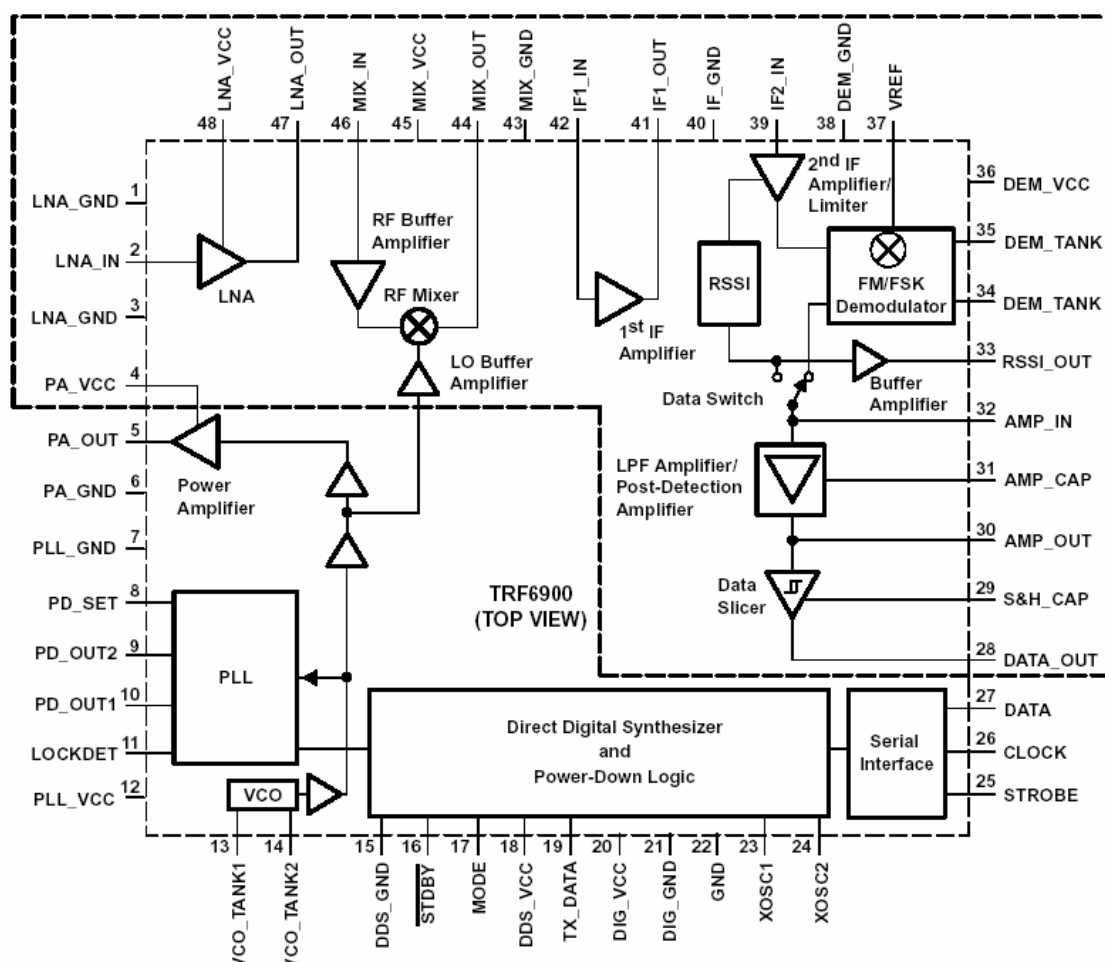
Η διαμόρφωση γίνεται με το DDS, κάτι που σημαίνει ότι δεν απαιτούνται εξωτερικά ηλεκτρονικά στοιχεία.

Γενική Περιγραφή Δέκτη

Ο δέκτης του TRF6900 είναι ικανός να αποδιαμορφώνει FSK σήματα στο εύρος συχνοτήτων από 868 MHz έως 870 MHz για την Ευρώπη και 902 MHz έως 928 MHz για την Αμερική.

Το υψίσυχνο σήμα αρχικά λαμβάνεται και ενισχύεται από το χαμηλοπερατό ενισχυτή. Στη συνέχεια μεταβιβάζεται στον RF μίκτη που το μεταθέτει σε μια ενδιάμεση IF συχνότητα. Έπειτα ενισχύεται από δυο IF ενισχυτές και ένας περιοριστής, αφαιρεί τις τυχόν μεταβολές στο πλάτος.

Μετά από αυτό είναι έτοιμο για να αποδιαμορφωθεί κατά συχνότητα και να μεταβιβαστεί σε ένα χαμηλοπερατό φίλτρο και ενισχυτή. Τέλος εισάγεται σε ένα τεμαχιστή δεδομένων για να παρουσιαστεί έτσι όπως στάλθηκε από το πομπό.

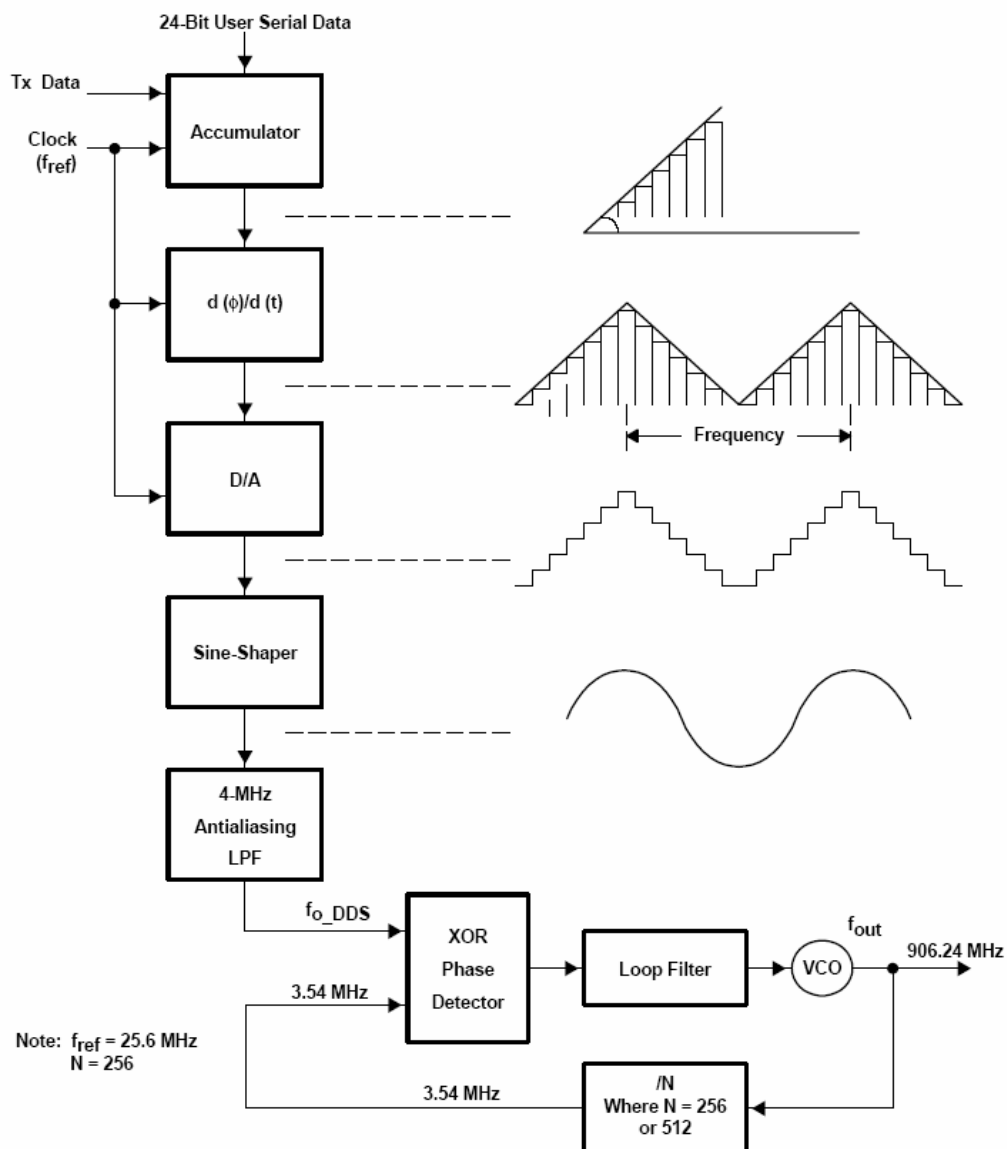


ΑΝΑΛΥΣΗ ΤΜΗΜΑΤΩΝ ΠΟΜΠΟΥ:

a. Direct Digital Synthesizer (DDS)

Γενικά, όλοι οι συνθέτες συχνότητας παράγουν μια ή πολλές συχνότητες από μια συχνότητα αναφοράς. Η συχνότητα αναφοράς f_{ref} διαιρείται για να δώσει το μέγεθος των καναλιών. Αυτό το μέγεθος καναλιών, στη συνέχεια, πολλαπλασιάζεται για την παραγωγή μιας τελικής συχνότητας.

Ο τύπος συνθέτη DDS είναι πλήρως ψηφιακός. Το διάγραμμα του φαίνεται στο παρακάτω σχήμα.



Η αρχική υπομονάδα είναι ένας καταχωρητής βημάτων φάσεως, ο οποίος διαθέτει ένα αρκετά μεγάλο μήκος λέξης (24 bits), και στον

οποίο καταχωρείται ένας αριθμός F που εκφράζει τον ρυθμό μεταβολής της φάσης του σήματος χρονισμού (f_{ref}). Με τη βοήθεια ενός αθροιστή (accumulator) , ο αριθμός F προστίθεται στην εκάστοτε προϋπάρχουσα τιμή φάσης , που βρίσκεται καταχωρημένη στο κύκλωμα συγκράτησης. Το αποτέλεσμα της πρόσθεσης καταχωρείται εκ νέου στο κύκλωμα συγκράτησης. Όταν μετά από επανειλημμένες προσθέσεις, προκύψει, υπερχειλίση στον αθροιστή τότε, αγνοούνται τα υπερχειλισμένα ψηφία και καταχωρούνται στο κύκλωμα συγκράτησης μόνον αυτά που περιέχονται στην έκταση των 24 bits της βασικής λέξης του συστήματος. Τα εκάστοτε περιεχόμενα του κυκλώματος συγκράτησης χρησιμοποιούνται για τη διευθυνσιοδότηση μιας μνήμης ROM η οποία περιέχει ως δεδομένα, τις διαδοχικές τιμές (με υψηλή ανάλυση) μιας συνάρτησης ημιτόνου. Η έξοδος της ROM εφαρμόζεται στη συνέχεια, στην είσοδο ενός μετατροπέα ψηφιακού σήματος σε αναλογικό (D-A converter). Όπως σε κάθε σύστημα δειγματοληψίας έτσι και εδώ, είναι απαραίτητη η ύπαρξη μετά από τον μετατροπέα ψηφιακού σήματος σε αναλογικό, ενός αντί-αναδιπλωτικού φίλτρου (anti aliasing filter) μέσω του οποίου καταπνίγονται όλες οι φασματικές συνιστώσες που βρίσκονται πάνω από τη συχνότητα $f_{ref}/2$.

Το φάσμα συχνοτήτων στην έξοδο ενός συνθέτη DDS περιέχει αναπόφευκτα, πάρα πολλές και σημαντικές παρασιτικές συνιστώσες.

Ένας αριθμός από τις συνιστώσες αυτές, είναι προϊόν αναδίπλωσης φάσματος που προκαλείται κατά τη διαδικασία δειγματοληψίας.

Μια άλλη ομάδα παρασιτικών συνιστωσών στο φάσμα εξόδου ενός συνθέτη DDS, προκαλείται, από την πεπερασμένη ανάλυση και τη μη γραμμικότητα του μετατροπέα ψηφιακού σήματος σε αναλογικό. Οι συνιστώσες αυτές είναι αφενός πολλαπλάσια της συχνότητας εξόδου, αφετέρου παράγωγα ενδοδιαμόρφωσης, που προκαλούνται από κατοπτρισμό όλων των παρασιτικών συχνοτήτων.

Η στάθμη ισχύος των συνιστωσών αναδίπλωσης, εξαρτάται άμεσα από την ανάλυση που προσφέρει ο μετατροπέας ψηφιακού σήματος σε αναλογικό, ενώ η στάθμη των άλλων παρασιτικών συνιστωσών (αρμονικών και κατοπτρικών) εξαρτάται από τη μη γραμμικότητα του μετατροπέα.

Το κύριο πλεονέκτημα που προσφέρει το DDS, συνίσταται στην εκτεταμένη ανάλυση που προσφέρει ο καταχωρητής βημάτων φάσεως, ο αθροιστής και το κύκλωμα συγκράτησης και ο εξαιρετικά μικρός χρόνος κλειδώματος που διαθέτουν, σε αντίθεση με τους παραδοσιακούς τύπους συνθετών στους οποίους το φίλτρο της τάσης σφάλματος έχει συνήθως αργή απόκριση και έτσι ελαττώνει αρκετά την ταχύτητα με την οποία ο συνθέτης μπορεί να αλλάξει τη συχνότητα εξόδου του.

Πρέπει βέβαια να σημειωθεί ότι, ο πλήρης ψηφιακός τρόπος διαμόρφωσης, εισάγει πληθώρα παρασιτικών συνιστωσών στο φάσμα της

εξόδου. Η στάθμη των παρασιτικών αυτών συχνοτήτων είναι δυνατόν να ελαττωθεί μόνον με αύξηση της διακριτότητας του καταχωρητή βημάτων φάσεως και του μετατροπέα ψηφιακού σήματος σε αναλογικό.

Το εύρος συχνοτήτων εξόδου ενός συνθέτη DDS εκτείνεται συνήθως σε πολλές δεκάδες (1 δεκάδα είναι το διάστημα από μια συχνότητα f_0 $10f_0$) σε αντίθεση με συστήματα PLL όπου παρόμοιο εύρος είναι εντελώς αδύνατο να επιτευχθεί. Τέλος, η σταθερότητα συχνότητας εξόδου σε ένα σύστημα άμεσης ψηφιακής σύνθεσης εξαρτάται αποκλειστικά από τη σταθερότητα της συχνότητας χρονισμού f_{clk} . Αυτό σημαίνει ότι τυχόν αστάθειες λόγω γήρανσης των κυκλωμάτων μπορούν να διορθωθούν εύκολα, χάρη στον πλήρη ψηφιακό τρόπο λειτουργίας.

Η συχνότητα παραγωγής εξόδου του DDS στον ανιχνευτή φάσης υπολογίζεται με την εξής διαδικασία:

$$f_{pd} = f_{ref} / 2^{24} \quad , \quad f_{ref}: \text{Η συχνότητα κρυστάλλου.}$$

$$f_{pd}: \text{Η ελάχιστη συχνότητα εισαγωγής στην είσοδο του ανιχνευτή φάσης.}$$

Το ελάχιστο εύρος συχνότητας δίνεται:

$$\Delta f = N * f_{pd} \quad \text{όπου: } N \text{ είναι η αξία του prescaler (256 ή 512)}$$

Η κλίση της τάσης εξόδου του αθροιστή είναι ανάλογη του ποσοστού αλλαγής της φάσης και δίνεται από της παρακάτω εξισώσεις:

$$\Phi = \text{Phase} = 2 * \pi * [(\text{DDS word}) / 2^N]$$

$$\omega = d(\phi) / d(t)$$

$$t = 1 / f_{ref} \text{ και } \omega = 2\pi f$$

$$f(t) = \omega / 2\pi$$

$$f = (\text{DDS word}) * f_{ref} / 2^{24}$$

Στη συνέχεια ο μετατροπέας (digital to analog) μετατρέπει το παραγόμενο ψηφιακό δείγμα σε μια αναλογική μορφή.

Η συχνότητα εξόδου του DDS είναι:

$$f_{0_DDS} = f_{out} / N$$

όπου: f_{out} είναι η συχνότητα εξόδου του VCO.

b. Clock Frequency Selection

Η συχνότητα ρολογιού είναι το κλειδί για να ελαχιστοποιηθούν τα σφάλματα της συχνότητας επιτρέποντας στο VCO να παράγει τη συχνότητα με το ελάχιστο λάθος.

Ο βρόχος κλειδωμένης φάσης έχει δυο στοιχεία εισαγωγής: μια συχνότητα αναφοράς από το DDS και μία έξοδο δειγμάτων από το VCO, τα οποία διαιρούνται με μια τιμή του prescaler (256 ή 512).

Η είσοδος αναφοράς απ' το DDS χρησιμοποιείται για να κατευθύνει και να διατηρεί τον VCO στην επιλεγμένη συχνότητα εξόδου.

Η συχνότητα λειτουργίας του PLL υπολογίζεται ως εξής:

$$f_{\text{out}} = (\text{Prescaler}) * (\text{DDS value}) * f_{\text{ref}} / 2^{24} = (N) * (\text{DDS_x}) * f_{\text{ref}} / 2^{24}$$

Το DDS προγραμματίζεται από έναν 24-bit καταχωρητή ελέγχου.

Τα δυο σημαντικότερα bit (bit 22 και 23) δεν είναι προσιτά στο χρήστη και τίθενται στο μηδέν εσωτερικά. Τα bit 0 έως 21 χρησιμοποιούνται για να προγραμματίσουν το πομπό και το δέκτη στις συχνότητες που επιθυμούμε (γίνεται αναφορά παρακάτω).

Στον ανιχνευτή φάσης (PD), η τιμή κβαντοποίησης του msb είναι $f_{\text{ref}} = 9 \text{ MHz}$ (που ονομάζεται συχνότητα nyquist).

Ενώ για το lsb είναι

$$f_{\text{out}} = f_{\text{ref}} / 2^{24} = 1,0728836 \text{ Hz}.$$

Η ελάχιστη συχνότητα στο VCO είναι $1,0728836 \text{ Hz} * 256 = 274.658 \text{ Hz}$.

Υπολογισμός της λέξης DDS

Η συχνότητα εξόδου του VCO είναι:

$$f_{\text{out}} = (N) * f_{\text{ref}} * \text{DDS_x} / 2^{24}$$

Όπου:

f_{out} : η συχνότητα εξόδου του VCO

N: ο λόγος διαίρεσης του prescaler

f_{ref} : η συχνότητα του ρολογιού

DDS_x: η DDS λέξη στο δεκαδικό

Απ' την παραπάνω εξίσωση έχουμε:

$$\text{DDS_x} = [(f_{\text{out}} / N) * 2^{24}] / f_{\text{ref}}$$

Ένα παράδειγμα για την εύρεση των λέξεων A και B του DDS με FSK διαμόρφωση και 20KHz απόκλιση.

Δεδομένα: FSK διαμόρφωση, κεντρική συχνότητα 869MHz, απόκλιση 20kHz, ρολόι 18MHz και N= 256.

$$f_{\text{clock}} = f_{\text{ref}} = 18\text{MHz}$$

$$N=256$$

$$f_{\text{out}_1} = 869\text{MHz}$$

A λέξη

$$f_{\text{out}_2} = 869.02\text{MHz}$$

B λέξη

Η λέξη A είναι το DDS_0:

$$\text{DDS}_0 = [(f_{\text{out}_1}/N) * 2^{24}] / f_{\text{ref}}$$

$$\text{DDS}_0 = [(869.00\text{MHz}/256) * 2^{24}] / 18\text{MHz}$$

$$\text{DDS}_0 = 3,1639 \times 10^6 \text{ decimal}$$

$$\text{DDS}_0 = 3046\text{FC}_{\text{hex}}$$

$$\text{DDS}_0 = 1100\ 0001\ 0001\ 1011\ 1111\ 0000 \text{ binary}$$

Η δυαδική λέξη DDS_0 φορτώνεται στον καταχωρητή A.

Η λέξη B είναι το DDS_1:

$$\text{DDS}_1 = [(f_{\text{out}_2}/N) * 2^{24}] / f_{\text{ref}}$$

$$\text{DDS}_1 = [(869.02\text{MHz}/256) * 2^{24}] / 18\text{MHz}$$

$$\text{DDS}_1 = 3,1640 \times 10^6 \text{ decimal}$$

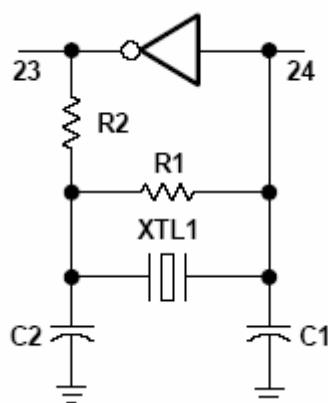
$$\text{DDS}_1 = 304760_{\text{hex}}$$

$$\text{DDS}_1 = 1100\ 0001\ 0001\ 1101\ 1000\ 0000 \text{ binary}$$

Η δυαδική λέξη DDS_1 φορτώνεται στον καταχωρητή B.

c. TRF6900 Clock Circuit

Ο ταλαντωτής ρολογιού φαίνεται στο επόμενο σχήμα.



Όπως είπαμε παραπάνω , η συχνότητα ρολογιού είναι το κλειδί για να ελαχιστοποιηθούν τα σφάλματα της συχνότητας , επιτρέποντας στο VCO να παράγει τη συχνότητα με το ελάχιστο λάθος.

Σε αυτό το κύκλωμα ο κρύσταλλος χρησιμοποιείται σε παράλληλο συντονισμό.

Η συνολική μετατόπιση φάσης στο βρόχο είναι 360° , με τον αντιστροφέα να παρέχει 180° . Η αντίσταση R2 και ο πυκνωτής C2 παρέχουν μια καθυστέρηση φάσης 90° και ο κρύσταλλος με τον πυκνωτή C1 παρέχουν μια πρόσθετη καθυστέρηση φάσης 90° . Στην πραγματικότητα όμως , ο αντιστροφέας παρέχει λιγότερη καθυστέρηση από 180° λόγω της εσωτερικής χωρητικότητας του.

Ο κρύσταλλος λειτουργεί με παράλληλο τρόπο και δρα ως πηνίο. Η χωρητικότητα κρυστάλλου-φορτίων αποτελεί την πρόσθετη φάση μετατόπισης που απαιτείται για την ταλάντωση 360° .

Η αντίσταση R1 πολώνεται με τέτοιο τρόπο στον αντιστροφέα έτσι ώστε να παρέχει το μισό της V_{CC} . Χαμηλές τιμές στην R1 μειώνουν το κέρδος βρόχων και διαταράσσουν τη φάση του δικτύου ανατροφοδότησης. Τυπικές τιμές στη R1 είναι $1\text{ m}\Omega$ έως $5\text{ m}\Omega$.

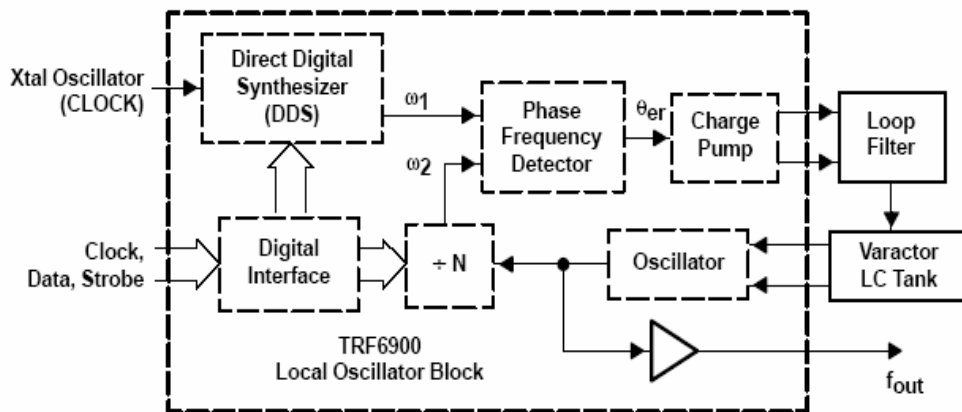
Η αντίσταση R2 χρησιμοποιείται για να περιορίσει το επίπεδο κίνησης του κρυστάλλου με τη διαμόρφωση ενός διαιρέτη τάσης μεταξύ R2 και C2.

Οι μεγάλες τιμές στον C2 τείνουν να σταθεροποιήσουν τον ταλαντωτή ενάντια στις παραλλαγές τις V_{CC} . Επίσης , μειώνουν κάθε αρμονική κίνηση του κρυστάλλου.

Οι μεγάλες τιμές του C1 μειώνουν το κέρδος βρόχων αυξάνοντας τη σταθερότητα της συχνότητας.

d. Local Oscillator

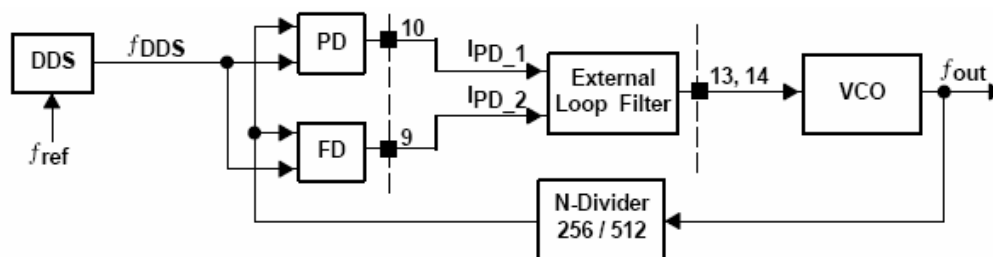
Το γενικό λειτουργικό διάγραμμα του τοπικού ταλαντωτή φαίνεται στο παρακάτω σχήμα.



Ο τοπικός ταλαντωτής του TRF6900 είναι ένας βρόχος κλειδωμένης φάσης (PLL) που αποτελείται από ένα συνθέτη συχνότητας (DDS), ένα εξωτερικό φίλτρο παθητικών στοιχείων και ένα ταλαντωτή ελεγχόμενο από τάση (VCO).

e. Phase Locked Loop

Ο βρόχος κλειδωμένης φάσης (PLL) του TRF6900 αποτελείται από έναν ανιχνευτή φάσης (PD), ένα ανιχνευτή συχνότητας (FD), ένα εξωτερικό φίλτρο παθητικών στοιχείων, έναν ταλαντωτή ελεγχόμενο από τάση (VCO) και έναν προγραμματισμένο σταθερό N-διαίρετη (prescaler) όπως φαίνεται στο παρακάτω σχήμα.



Η λειτουργία του PLL βασίζεται στη σύγκριση της συχνότητας και της φάσης του εισερχομένου σήματος (f_{DDS}) με αυτή του σήματος εξόδου (f_{out}) του VCO.

Η συχνότητα εξόδου παράγεται από τον VCO. Οι ανιχνευτές φάσης και συχνότητας συγκρίνουν τη συχνότητα και τη φάση του σήματος FSK με αυτή του σήματος εξόδου του VCO. Στην έξοδο των ανιχνευτών εμφανίζεται ένα σήμα σφάλματος, η στάθμη του οποίου

είναι ανάλογη με τη διαφορά των συχνοτήτων στην είσοδο του. Στη συνέχεια το σήμα σφάλματος, αφού περάσει από ένα φίλτρο σχηματίζει μια τάση, η οποία χρησιμοποιείται για τον έλεγχο του VCO.

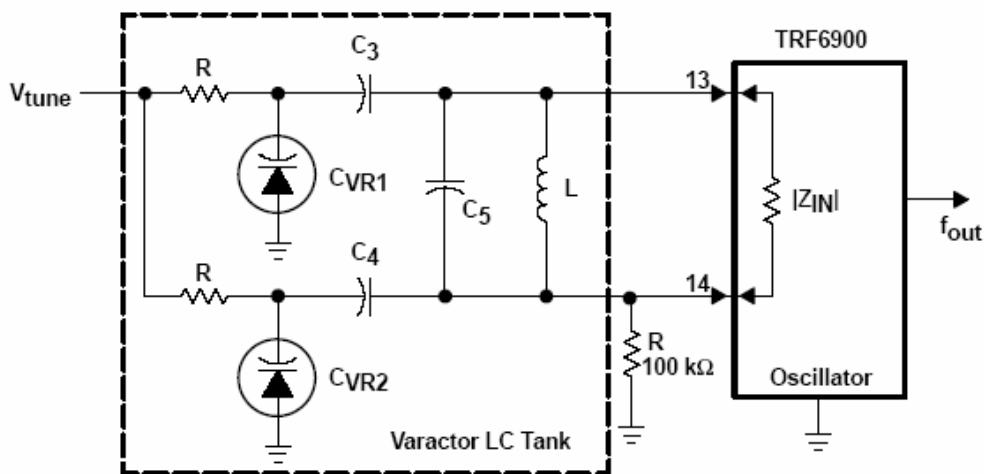
Αποτέλεσμα αυτής της διαδικασίας είναι να παράγεται από τον ταλαντωτή μια συχνότητα ίση και συμφασική με τη συχνότητα του σήματος FSK.

Συνήθως απαιτείται από τον ταλαντωτή του PLL να καλύπτει ένα πλήθος από συχνότητες (κανάλια). Για το σκοπό αυτό, ο βρόχος επεκτείνεται με τη χρήση ενός προγραμματιζόμενου διαιρέτη συχνότητας (divider).

Ο VCO σχεδιάζεται να έχει συχνότητα ελεύθερης ταλάντωσης την συχνότητα του φορέα ενώ το φίλτρο του συγκριτή έχει μέγιστη συχνότητα τη μέγιστη συχνότητα του σήματος πληροφορίας.

f. Voltage Controlled Oscillator

Στο παρακάτω σχήμα φαίνεται ο ταλαντωτής ελεγχόμενος από τάση του TRF6900, ο εσωτερικός ταλαντωτής του chip και η εξωτερική varactor του LC κυκλώματος.



Η βασική αρχή του VCO του TRF6900 στηρίζεται στο ταλαντωτή COLPITTS.

Ο ταλαντωτής COLPITTS είναι ένας από τους ευρύτερα χρησιμοποιούμενους LC ταλαντωτές. Αυτό το είδος ταλαντωτών χρησιμοποιείται στις υψηλές συχνότητες γιατί το κύριο πρόβλημα που αντιμετωπίζεται με άλλους ταλαντωτές (π.χ. Wien), είναι η ολίσθηση

φάσης. Η ολίσθηση αυτή προστίθεται στην ολίσθηση φάσης του κυκλώματος προπορείας-καθυστέρησης και προκαλεί ταλάντωση σε συχνότητα πολύ διαφορετική της ιδανικής συχνότητας συντονισμού.

Όπως φαίνεται στο σχήμα η συχνότητα βρίσκεται ως εξής:

$$F_{\text{tank}} = 1/2 * \pi * \sqrt{LC_{\text{TOTAL}}}$$

Η συνολική χωρητικότητα βρίσκεται μέσω της παραπάνω εξίσωσης και είναι:

$$C_{\text{total}} = C_5 + 1/[1/C_{34} + 1/C_{34} + 1/C_{VR1} + 1/C_{VR2}]$$

Όπου: $C_{34} = C_3 = C_4$

Στη συχνότητα συντονισμού, η τιμή της αυτεπαγωγής είναι:

$$L = 1/2 * [(|Z_{IN}| * Q_P / Q_{\text{LOADED}}) - |Z_{IN}|] / 2 * \pi * f * Q_P$$

Όπου:

$|Z_{in}|$: Η σύνθετη αντίσταση εισόδου του ταλαντωτή.

Q_{LOADED} : Το φορτίο του LC κυκλώματος.

Q_P : Το φορτίο του πηνίου.

f : Η επιθυμητή κεντρική συχνότητα.

Για την μεγιστοποίηση της ρύθμισης της συχνότητας συντονισμού μέσω της varactor και του LC κυκλώματος πρέπει η τιμή του πυκνωτή C_5 να είναι όσο γίνεται μικρότερη και οι πυκνωτές C_3 και C_4 να είναι όσο το δυνατόν μεγαλύτεροι. Όταν η τιμή του C_5 είναι μικρή και οι τιμές των C_3 και C_4 είναι μεγάλες τότε η απόκλιση του C_{total} θα εξαρτιέται από τα C_{VR1} και C_{VR2} επειδή οι όροι $1/C_3$, $1/C_4$ και C_5 είναι αμελητέοι.

Υποθέτοντας ότι $C_{34} = C_3 = C_4$ και $C_{VR} = C_{VR1} = C_{VR2}$, η σχέση των πυκνωτών C_{34} και των C_{VR} δίνεται από τη παρακάτω σχέση:

$$C_{VR} = C_{34} * 2 * (C_{\text{TOTAL}} - C_5) / [C_{34} - 2 * (C_{\text{TOTAL}} - C_5)]$$

Η τιμή του πυκνωτή C_{34} πρέπει να ικανοποιεί την παρακάτω εξίσωση:

$$C_{34} \geq 2 * (C_{\text{TOTAL}} - C_5)$$

Σε οποιαδήποτε εφαρμογή που το TRF6900 τροφοδοτείται συνεχώς είτε σε TX είτε σε RX χωρίς περιοδικά να πηγαίνει σε STBY τρόπο, συνιστάται ένας αντιστάτης 100KΩ να προστεθεί στο VCO, είτε στο ακροδέκτη 13 είτε στο ακροδέκτη 14, για να εξασφαλίσει τη μακροπρόθεσμη σταθερότητα από την τάση V_{TUNE} .

Η ευαισθησία του VCO, υποθέτοντας ότι η χωρητικότητα της varactor ποικίλει γραμμικά με τη τάση συντονισμού, είναι:

$$K_{\text{VCO}} = \Delta f / \Delta V_{\text{TUNE}}$$

Όπου: $\Delta f = |f_1 - f_2|$,

$$\Delta V_{\text{TUNE}} = |V_{\text{TUNE}} * a * t * f_1 - V_{\text{TUNE}} * a * t * f_2|$$

g. Phase Detector and Charge Pumps

Το TRF6900 περιέχει δυο φορτία για το κλείδωμα στην επιθυμητή συχνότητα:

- μια για το χοντρικό συντονισμό στις διάφορες συχνότητες (χρησιμοποιούμενες από το ανιχνευτή συχνότητας FD)
- και μια για τον ακριβή συντονισμό των διαφορών φάσης (χρησιμοποιούμενες από τον ανιχνευτή φάσης PD).

Τα φορτία ανιχνευτών συχνότητας και φάσης παράγουν ένα μέσο ρεύμα που είναι ανάλογο προς τη διαφορά φάσης της συχνότητας αναφοράς και της συχνότητας του VCO και διαιρούνται με N (όπου $N=256$ ή 512). Το TRF6900 παράγει τους τρέχοντες παλμούς I_{pd_1} σε κανονική διάρκεια λειτουργίας (PLL κλειδωμένο).

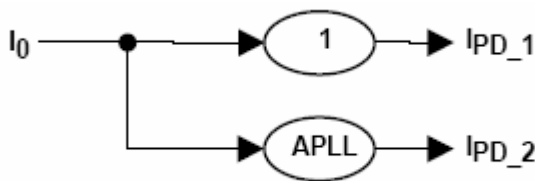
Ένας πρόσθετος ανιχνευτής φάσης και συχνότητας παράγουν τους τρέχοντες παλμούς στο τερματικό PD_out2 κατά τη διάρκεια κλειδώματος του PLL.

Ο παράγοντας πολλαπλασιασμού του ανιχνευτή συχνότητας I_{pd_2} μπορεί να προγραμματιστεί από 3- bit στο καταχωρητή C.

Κατά τη διάρκεια κανονικής λειτουργίας (PLL κλειδωμένο), ο ανιχνευτής συχνότητας είναι εκτός λειτουργίας και το μέγιστο ρεύμα I_{pd_1} καθορίζεται από το I_o :



Κάθε φορά που το PLL είναι ξεκλειδωτο, ο ανιχνευτής συχνότητας είναι εντός λειτουργίας και το μέγιστο ρεύμα είναι I_{pd_2} . Οι παλμοί ρεύματος του I_{pd_2} είναι μεγαλύτεροι από του I_o .



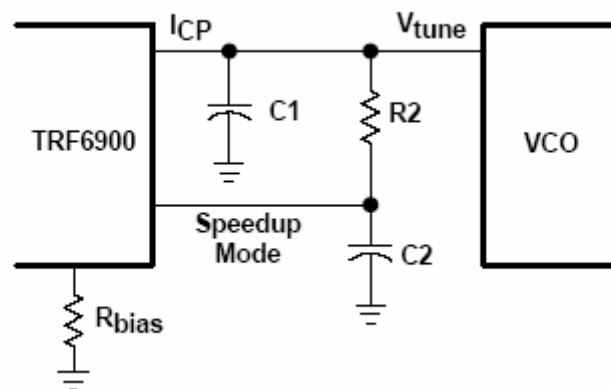
h. Programmable Divider

Η εσωτερική αναλογία διαιρετών (N) μπορεί να τεθεί 256 ή 512 μέσω του καταχωρητή C. Αν χρησιμοποιήσουμε έναν υψηλότερο διαιρέτη, η αναλογία προσθέτει θόρυβο μέσα στο βρόχο πολλαπλασιασμού. Η

χαμηλότερη αναλογία διαιρετών είναι καλύτερη για πιο πιστή εφαρμογή των στόχων.

i. Loop Filter Design

Στο παρακάτω σχήμα φαίνεται ένα φίλτρο βρόχων που χρησιμοποιείται σε κυκλώματα DDS.



Οι τιμές των στοιχείων για αυτό το φίλτρο δίνονται από τους παρακάτω τύπους:

$$C_1 = (\tau_1/\tau_2) * (K_{PD} * K_{VCO} / \omega_C^2 * N) * \sqrt{\frac{[1 + (\omega_C * \tau_2)^2]}{1 + (\omega_C * \tau_1)^2}}$$

$$C_2 = C_1 * [(\tau_2/\tau_1) - 1]$$

$$R_2 = \tau_2 / C_2$$

K_{PD} : Συγκριτής φάσης, $4 * I_{CP} / \pi$ (A/rad)

I_{CP} : $I_{CP} = 1.28 / R_{BIAS}$

K_{VCO} : VCO απολαβή, $2 * \pi * \Delta f / \Delta V_{TUNE}$ [(rad/s)/V]

N : Σταθερά του διαιρετή

R_{BIAS} : Αντίσταση πόλωσης στο ποδαράκι 8

ω_C : Εύρος βρόγχου σε radians/s

B_N : $B_N = 2 * \text{data rate}$ σε Hz

τ_1 : $\tau_1 = (\sec \Phi - \tan \Phi) / \omega_C$

τ_2 : $\tau_2 = 1 / \omega_C^2 * \tau_1$

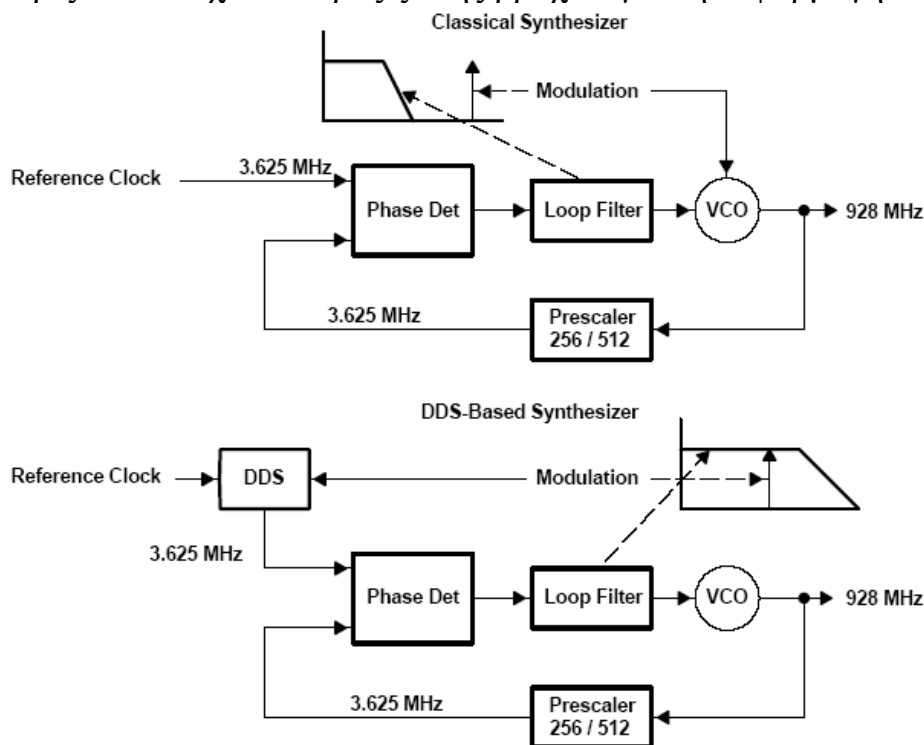
Φ : Όριο φάσης σε radians

Το φίλτρο βρόχων λαμβάνει δυο σήματα από τον ανιχνευτή φάσης:

- Normal mode: χρησιμοποιείται για να κρατήσει το VCO στη διατεταγμένη συχνότητα.
- Speed-up mode: παρέχει μια γρήγορη οδήγηση του VCO με το PLL.

Το παρακάτω σχήμα απεικονίζει τη σχέση μεταξύ του εύρους ζώνης βρόχων των συνθετών και του ποσοστού στοιχείων μετάδοσης Tx. Για ένα DDS συνθέτη, το εύρος ζώνης πρέπει να είναι τουλάχιστον ίσο και κατά προτίμηση μεγαλύτερο από το ποσοστό στοιχείων μετάδοσης Tx.

Εμπειρικά, για το TRF6900 το εύρος ζώνης βρόχων, σε hertz, τίθεται περίπου 1,3 έως 2 φορές του ποσοστού στοιχείων μετάδοσης. Εάν αυτό δεν διατηρηθεί, το φάσμα FSK θα είναι διαστρεβλωμένο. Εάν το εύρος ζώνης βρόχων είναι πολύ μικρότερο από το ποσοστό στοιχείων μετάδοσης, τότε στο παραγόμενο φάσμα δεν θα υπάρχει καμιά διαμόρφωση. Κατά συνέπεια, το μέγιστο εύρος στοιχείων του χρήστη καθορίζει το ελάχιστο εύρος ζώνης βρόχων για την εφαρμογή.

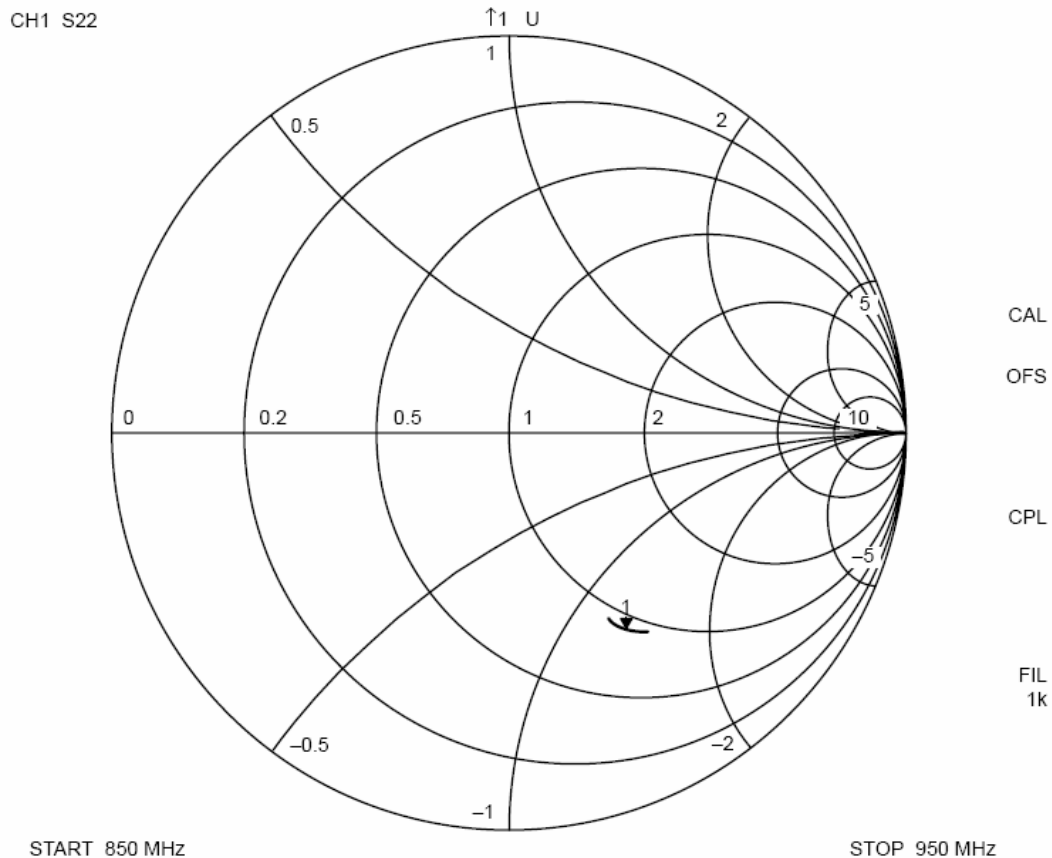


j. Power Amplifier

Ο ενισχυτής ισχύος μπορεί να προγραμματιστεί μέσω 2 bit (P_0 και P_1 στο καταχωρητή D) για να παρέχει τα διάφορα επίπεδα ενίσχυσης ισχύος. Διάφοροι βρόχοι ελέγχου εφαρμόζονται εσωτερικά για να θέσουν το

επίπεδο ισχύος και να ελαχιστοποιήσουν την ευαισθησία του στη θερμοκρασία, τη σύνθετη αντίσταση φορτίων και τις παραμορφώσεις του ρεύματος.

Το στάδιο εξόδου του ενισχυτή ισχύος (PA) λειτουργεί μέσω του καταχωρητή C και επιτρέπει τον εύκολο συντονισμό της σύνθετης αντίστασης.



ΑΝΑΛΥΣΗ ΤΜΗΜΑΤΩΝ ΔΕΚΤΗ

α. Ενισχυτής χαμηλού θορύβου (LNA)

Σκοπός του είναι να λαμβάνει το ασθενές σήμα και να το ενισχύει με μια απολαβή τέτοια ώστε να έχουμε υψηλό κέρδος στη πληροφορία μας χωρίς να εισάγει αρκετά db θορύβου. Στη δική μας περίπτωση ο σηματοθορυβικός λόγος είναι αρκετά υψηλός.

$$\begin{array}{l|l} \text{SIGNAL}=13 \text{ db} & \\ \hline \text{NOISE}=3.3 \text{ db} & \Rightarrow \text{S/N (db)} = 9.7 \end{array}$$

Δύο τρόποι λειτουργίας είναι διαθέσιμοι για το LNA: normal και low-gain.

Ο normal τρόπος είναι επιλεγμένος για μέγιστη ευαισθησία εισαγωγής σήματος για χαμηλά επίπεδα εισαγωγής RF. Εάν τώρα τα επίπεδα εισαγωγής RF σήματος είναι υψηλά τότε θα πρέπει να επιλέξουμε το low gain τρόπο.

b. Μίκτης

Ο μίκτης ως στόχο έχει να μεταθέτει το φάσμα σε μια περιοχή συχνοτήτων IF όπου θα είναι πιο εύκολο να επεξεργαστεί η πληροφορία. Αναλυτικότερα πρόκειται για ένα διπλά ισορροπημένο μίκτη με ένα ενσωματωμένο ταλαντωτή ελεγχόμενο από τάση(VCO).

Η μίξη γίνεται μεταξύ του τοπικού ταλαντωτή συχνότητας f_{LO} και στο RF σήμα.

$$f_{LO} = f_{IF} + RF$$

Στη περίπτωση μας η εκπομπή της RF συχνότητας στο αναπτυξιακό μας είναι στα 869,850MHz.

Ενώ η IF συχνότητα που θέλουμε να εισάγουμε στην επόμενη βαθμίδα ενίσχυσης είναι 10,7 MHz .

Άρα εύκολα μπορούμε να υπολογίσουμε τη συχνότητα του ταλαντωτή.

$$f_{LO} = 869,850\text{MHz} - 10,7\text{MHz} = 859.15\text{MHz}$$

Ή

$$f_{LO} = 869,850\text{MHz} + 10,7\text{MHz} = 880,55\text{MHz}$$

c. Πρώτος IF ενισχυτής

Σκοπός του πρώτου IF ενισχυτή είναι να ενισχύσει το σήμα στην έξοδο του μίκτη ,όπου παρουσιάζει τυπικές απώλειες στα -10dbm.

Το κέρδος αυτού του ενισχυτή είναι περίπου 7db, ενώ έχει σύνθετη αντίσταση εισόδου εξόδου κοντά στα 330Ω.
Να σημειώσουμε ότι αυτή την βαθμίδα μπορούμε να τη παρακάμψουμε για λόγους εξοικονόμησης ενέργειας του TRF6900

d. Δεύτερος IF ενισχυτής και περιοριστής

Σκοπός του δεύτερου IF ενισχυτή είναι να ενισχύσει το σήμα περαιτέρω λαμβάνοντας το από την έξοδο του πρώτου IF ενισχυτή ή από την έξοδο του μίκτη αν έχουμε παραλείψει τον πρώτο IF ενισχυτή. Το κέρδος αυτού του ενισχυτή είναι περίπου 80db, ενώ έχει σύνθετη αντίσταση εισόδου κοντά στα 330Ω.

Ο περιοριστής απαιτεί να λάβει στην είσοδο του τουλάχιστον μια τάση 32μV για να έχουμε σήμα στην έξοδο του. Η έξοδος αυτή συνδέεται με τη είσοδο του δεύτερου IF ενισχυτή όπου και αυτός με τη σειρά του συνδέεται με τον αποδιαμορφωτή FM/FSK.

Η λειτουργία του περιοριστή είναι να αφαιρεί διακυμάνσεις στο πλάτος από την IF κυματομορφή. Εάν αυτό δεν γίνει και ο αποδιαμορφωτής αποκριθεί στις διακυμάνσεις τότε η ευαισθησία του δεκτή ελαττώνεται ενώ ο θόρυβος στο διαμορφωμένο σήμα αυξάνεται.

e. Δείκτης στάθμης λαμβανόμενου σήματος (RSSI)

Η βαθμίδα του δείκτη στάθμης λαμβανόμενου σήματος αποσκοπεί ουσιαστικά στον έλεγχο της ενδεδειγμένης τάσης εξόδου του δεύτερου IF ενισχυτή και περιοριστή.

Η ένδειξη RSSI (Received-Signal-Strength Indicator) δεν είναι τίποτα άλλο παρά ένα άθροισμα σημάτων εισόδου του δευτέρου IF ενισχυτή και περιοριστή. Από το άθροισμα αυτό προκύπτει μια τάση που χρησιμοποιείται για να μας δείξει τη σταθμη λήψης σήματος.

Τυπικές τιμές για ένα φάσμα συχνοτήτων από 10MHZ έως 21.4MHZ είναι

$RSSI(out)=19mV/db$.

Επιπλέον λόγω της πολύ γρήγορης απόκρισης χρόνου το RSSI χρησιμοποιείται και σαν ASK(amplitude shift keying) και OOK(on-off keying) αποδιαμορφωτής για ρυθμούς μετάδοσης άνω των 100Kbit/sec.

f. FM/FSK Αποδιαμορφωτής

Η βαθμίδα αυτή προορίζεται για την αποδιαμόρφωση αναλογικών(FM) και ψηφιακών(FSK) σημάτων διαμορφωμένα στη συχνότητα.

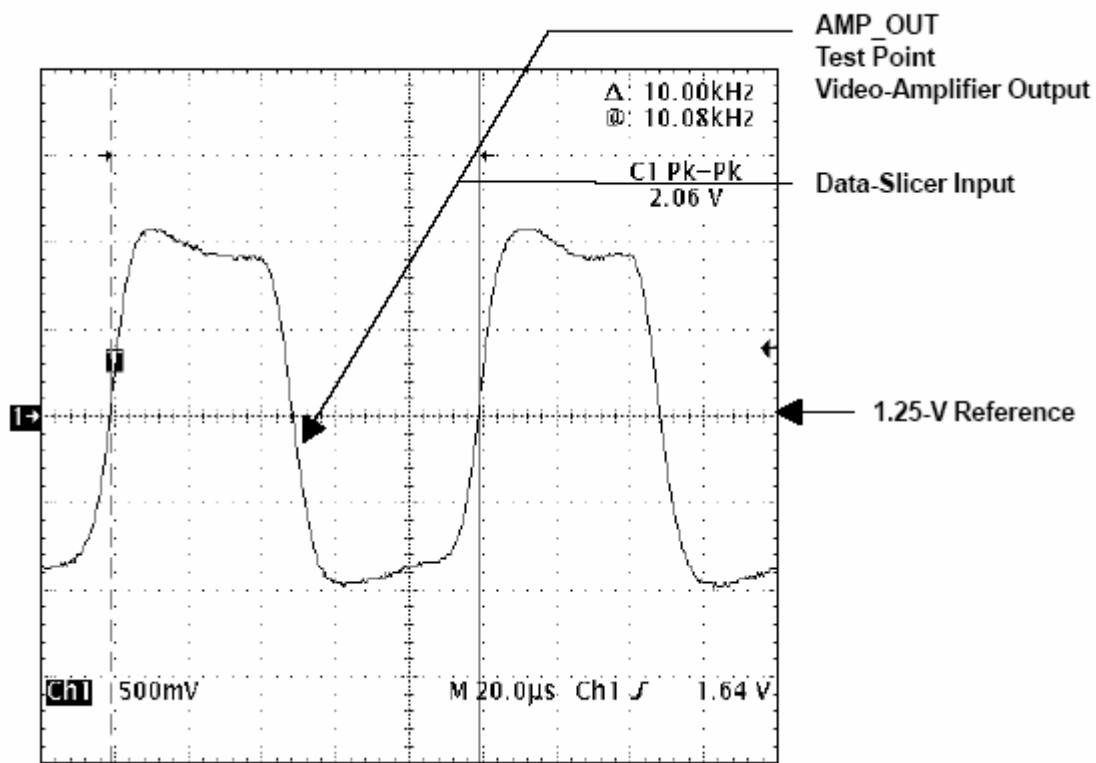
Αποτελείται από τον ορθογώνιο (quadrature) αποδιαμορφωτή και ένα εσωτερικό πηνίο που οδηγεί το παράλληλο εξωτερικό συντονιζόμενο κύκλωμα LC.

Εάν οι ανοχές του συντονιζόμενου κυκλώματος LC φέρουν μέγιστο λάθος στη συχνότητα λιγότερο από 5% τότε καμία επιπλέον ρύθμιση δεν θα απαιτείται.

g. Φίλτρο χαμηλών συχνοτήτων και ενισχυτής

Αυτή η βαθμίδα χρησιμοποιείται για να ενισχύει το σήμα εξόδου του αποδιαμορφωτή και να φιλτράρει τυχόν ανεπιθύμητα σήματα θορύβου που προκύπτουν από την αποδιαμόρφωση.

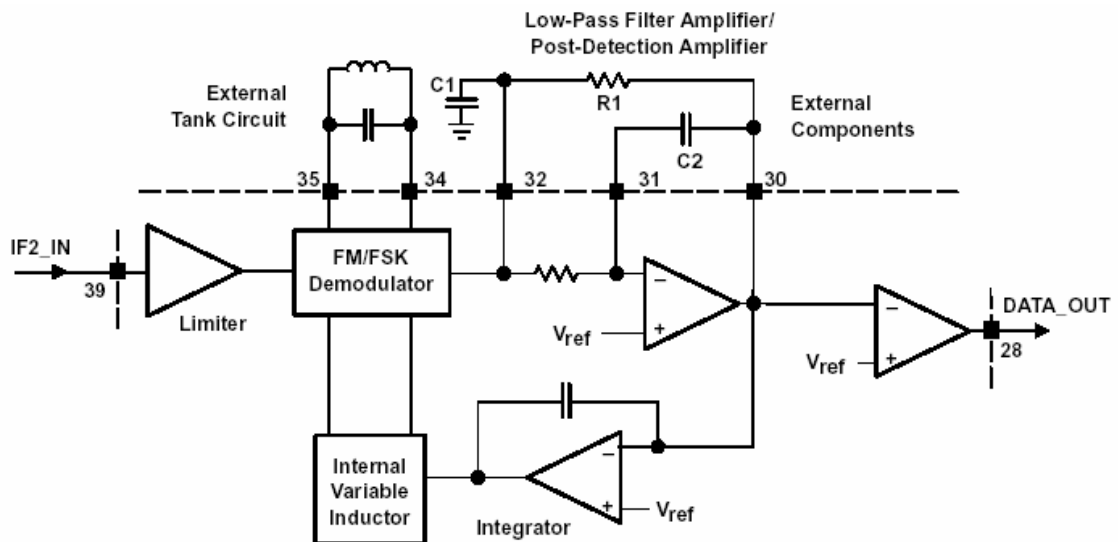
Το εύρος του χαμηλοπερατού ενισχυτή ρυθμίζεται σύμφωνα με τις απαιτήσεις του εύρους ζώνης του σήματος και του θορύβου.



Το παραπάνω σχήμα μας δείχνει τη κυματομορφή εξόδου της βαθμίδας. Βλέπουμε ότι η έξοδος του ενισχυτή είναι κεντραρισμένη σε μια τάση αναφοράς $V_{ref}=1,25V$. Πρόκειται για μια εσωτερική τάση στη θετική είσοδο του τελεστικού ενισχυτή που έτσι εξηγεί και τη συμμετρικότητα στην έξοδο.

h. Data Slicer

Ο τεμαχιστής δεδομένων δεν είναι τίποτα άλλο από κυκλώματα συγκριτών. Η έξοδος του μας δίνει τα αποδιαμορφωμένα δεδομένα σε CMOS λογική. Το όριο απόφασης του τεμαχιστή καθορίζεται από μια εσωτερική τάση αναφοράς $V_{ref}=1,25V$ μέσω του κυκλώματος αυτομάτου ελέγχου συχνότητας (AFC) σύμφωνα με το ακόλουθο σχήμα.



Ο χρόνος που θα σταθεροποιηθεί ο AFC (automatic frequency control) βρόχος καθορίζεται από ένα πυκνωτή στον ακροδέκτη 29 που αυτός με τη σειρά του καθορίζει το χρόνο ολοκλήρωσης του ολοκληρωτή ενώ είμαστε στο *learning mode.

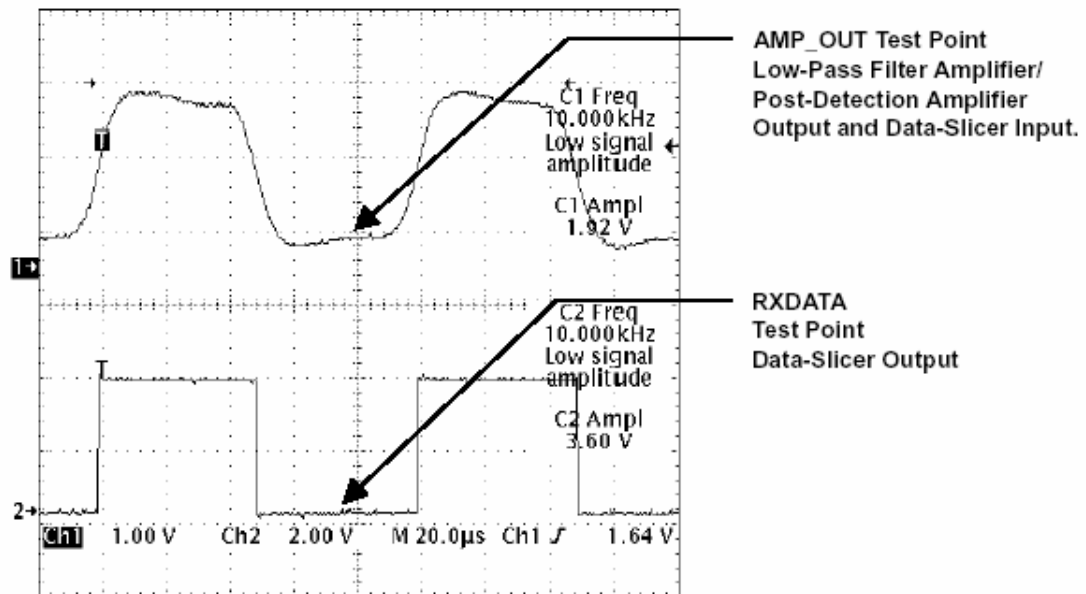
Εάν τώρα είμαστε στο **hold mode ο AFC βρόχος είναι ανοικτός και μια εξωτερική συνεχής τάση μπορεί να εφαρμοστεί στο πυκνωτή για να θέσει το όριο του data slicer.



Υποσημείωση

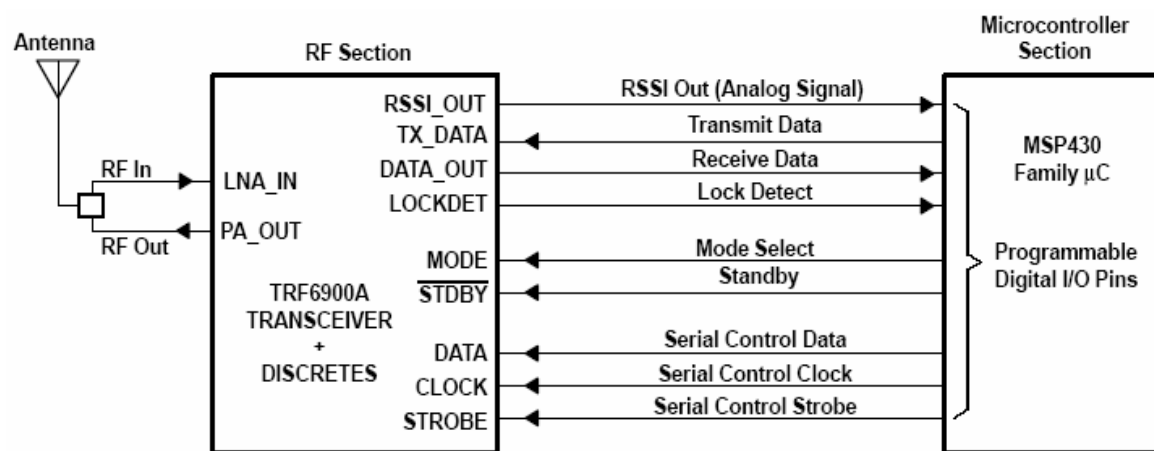
(*learning mode είναι ο τρόπος λειτουργίας όπου ο δέκτης μας θα μπορεί να λαβεί biphase κωδικοποιημένα σήματα.

**hold mode είναι αντίστοιχα τρόπος λειτουργίας όπου ο δέκτης μας θα μπορεί να λαβεί NRZ κωδικοποιημένα σήματα.)



Στην παραπάνω γραφική παράσταση μπορούμε να δούμε στο πρώτο γράφημα την έξοδο του ενισχυτή και είσοδο του τεμαχιστή όπου είναι συμμετρικό στη $V_{ref}=1,25V$ ενώ από κάτω βλέπουμε τα δεδομένα στην έξοδο του τεμαχιστή έτσι όπως στάλθηκαν από το πομπό. Το ακριβές πλάτος των δεδομένων καθορίζεται από το κέρδος στον ενισχυτή χαμηλών συχνοτήτων.

Διασύνδεση TRF6900-MSP430



Παραπάνω μπορούμε να δούμε το μπλοκ διαγράμμα που παρουσιάζει τη διασύνδεση του TRF600 με το μικροελεγκτή της TEXAS MSP430.

Η διασύνδεση αποτελείται από ένα δίαυλο 10 σημάτων από τα οποία τα 8 είναι ψηφιακά και τα δυο αναλογικά.

Αναλυτικότερα για το προγραμματισμό των τεσσάρων καταχωρητών ελέγχου του πομποδέκτη και προσδιορισμού της συχνότητας του, έχουμε τα σειριακά σήματα DATA, CLOCK και STROBE.

Επιπλέον έχουμε το TXDATA για τα εκπεμπόμενα σήματα και το RXDATA για τα λαμβανόμενα. Δηλαδή το RXDATA μεταφέρει στον μικροελεγκτή MSP 430 το λαμβανόμενο σήμα, αποδιαμορφωμένο και φιλτραρισμένο από τον τεμαχιστή δεδομένων. Ενώ το TXDATA είναι η γραμμή στην οποία ο μικροελεγκτής εφαρμόζει το παραγόμενο σήμα baseband. Η γραμμή TXDATA αναγκάζει το TRF600 να αλλάζει συχνότητες μεταξύ DDS και DDS+DEVIATION.

Επίσης το TRF600 χρησιμοποιεί τη Lock Detect γραμμή για να μας επισημάνει ότι το PLL (phase locked loop) είναι κλειδωμένο στην επιλεγμένη συχνότητα. Όταν στην γραμμή έχουμε σήμα και έχουμε ενεργοποιήσει τα άλλα αναγκαία modules (πχ PA, LNA κτλ.) τότε η συσκευή μας είναι έτοιμη για εκπομπή ή λήψη.

Η STAND BY γραμμή ελέγχου χρησιμοποιείται για να μεταπίπτει ο πομποδέκτης σε ελάχιστη κατανάλωση ισχύος 2μΑ, ενώ η MODE γραμμή χρησιμοποιείται για να έχουμε γρήγορη εναλλαγή ανάμεσα στους προγραμματισμένους τρόπους λειτουργίας *MODE 0 και MODE 1.

Όπως είπαμε αρχικά εκτός από τα ψηφιακά σήματα το TRF μεταφέρει και δυο αναλογικά που δεν χρησιμοποιούνται από τον μικροελεγκτή MSP430. Αυτά είναι τα RSSI και η αναλογική έξοδος του post detection amplifier όπου είναι σημεία ελέγχου για τη σωστή λειτουργία του κυκλώματος.



Υποσημείωση

*MODE 0 : Χρησιμοποιείται για τη προγραμματισμό των λέξεων A και D

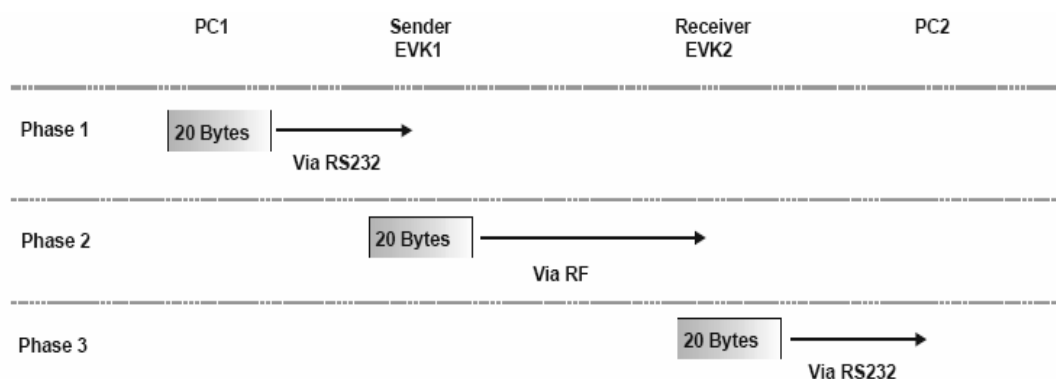
MODE 1 : Χρησιμοποιείται για τη προγραμματισμό των λέξεων B και C

Εκδόσεις Σύνδεσης

Υπάρχουν δυο εκδόσεις της σύνδεσης του TRF6900, η DEMO 1.11 και DEMO 1.16.

DEMO 1.11

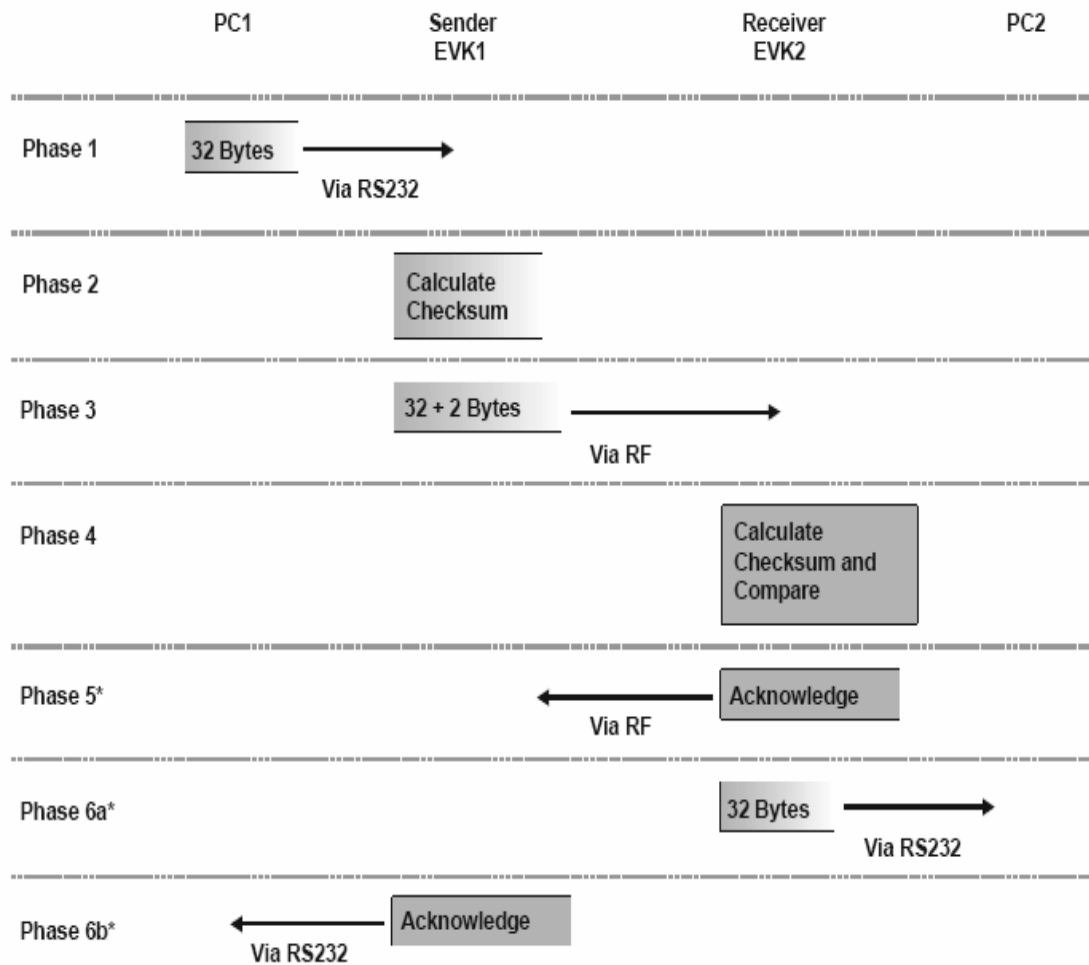
Πρόκειται για το προκάτοχο του DEMO 1.16 και ήταν η πρώτη έκδοση του TRF6900 για να επικοινωνήσει με το μικροελεγκτή MSP430. Ήταν μια πολύ απλή αμφίδρομη σύνδεση RF, που όμως δεν είχε την ικανότητα βεβαίωσης της λήψης. Στο παρακάτω σχήμα βλέπουμε τις φάσεις κατά τη μετάδοση ενός πακέτου δεδομένων 20 bytes.



Αρχικά ο υπολογιστής στέλνει μέσω της σειριακής στο αναπτυξιακό 1 το πακέτο δεδομένων αυτός έπειτα τα στέλνει μέσω της RF διασύνδεσης τα οποία λαμβάνει το αναπτυξιακό 2 και μέσω της σειριακής ο δεύτερος υπολογιστής. Όμως και τα δυο αναπτυξιακά είναι αρχικά προγραμματισμένα να λειτουργούν σε mode λειτουργίας λήψης. Έτσι θα πρέπει να δηλώσουμε το αναπτυξιακό 1 να λειτουργεί σαν πομπός.

DEMO 1.16

Η κύρια διάφορα σε σχέση με το DEMO 1.11 είναι η βεβαίωση της λήψης των δεδομένων. Στο παρακάτω σχήμα μπορούμε να δούμε όλες τις φάσεις κατά τη μετάδοση ενός πακέτου δεδομένων 32+2 bytes.



Στη φάση 1 ο υπολογιστής μεταφέρει σειριακά στο αναπτυξιακό 1 32bytes δεδομένων.

Στη φάση 2 το αναπτυξιακό 1 υπολογίζει το άθροισμα ολόκληρου του πακέτου δεδομένων.

Στη φάση 3 το αναπτυξιακό 1 ενσωματώνει στη καθαρή πληροφορία των 32bytes δεδομένων και 2 bytes έλεγχου για βεβαίωση λήψης (checksum), και τα εκπέμπει μέσω RF.

Στη φάση 4 το αναπτυξιακό 2 υπολογίζει το υπάρχον λαμβανόμενο checksum και το συγκρίνει με το εκπεμπόμενο.

Στη φάση 5 που επιτυγχάνεται μόνο εφόσον υπάρχει ισότητα στη παρακάτω σύγκριση, το αναπτυξιακό 2 στέλνει μέσω RF τη βεβαίωση σωστής λήψης στο αναπτυξιακό 1.

Στη φάση 6 αρχικά το αναπτυξιακό 2 στέλνει τη καθαρή πληροφορία μέσω σειριακής στον υπολογιστή 2 και σχεδόν ταυτόχρονα θα ενημερωθεί και ο υπολογιστής 1 τελικά ότι τα δεδομένα στάλθηκαν στο αναπτυξιακό 2.

RS232 και RF Πρωτόκολλα

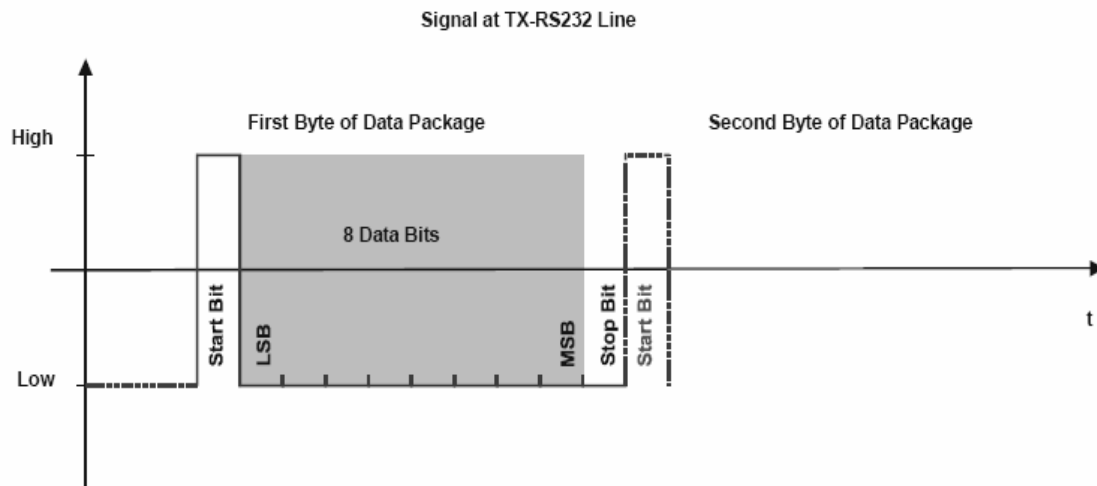
RS232 πρωτόκολλο

Σε αυτό το πρωτόκολλο η μορφή που παίρνουν τα δεδομένα είναι τα εξής:

Ρυθμός δεδομένων: 19.2 kbps

Εύρος bit: 52.08 μ s

Πακέτο δεδομένων: 32 bytes, 1 start bit, 8 data bits and 1 stop bit



Στο παραπάνω σχήμα βλέπουμε το σήμα στη γραμμή TX του μικροελεγκτή. Όταν έχουμε low στη TX γραμμή τότε στο ακροδέκτη του μικροελεγκτή έχω high. Το start bit είναι πάντα high και ίσο με 52,08μs. Έπειτα στέλνεται το πρώτο bit των δεδομένων ξεκινώντας με το λιγότερο σημαντικό bit (LSB). Μετά που θα σταλούν και τα 8 bit δεδομένων ακολουθεί το stop bit που είναι ένας low παλμός στη RS232 γραμμή ή ένας high παλμός στο ακροδέκτη του μικροελεγκτή.

RF Πρωτόκολλο

Μετά από λίγο καιρό πήρε τη θέση του RS232 το RF πρωτόκολλο. Σε αυτό το πρωτόκολλο η μορφή που παίρνουν τα δεδομένα είναι εξής:

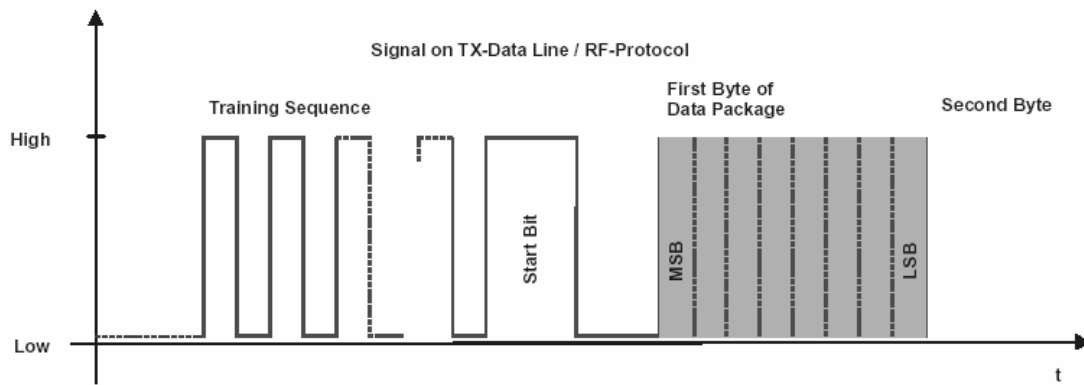
Ρυθμός δεδομένων: 38.4 kbps

Ευρος bit: 26.04 μs

Πακέτο δεδομένων: Training sequence 1ms , ένα Start Bit, 32 + 2 Byte (34 Bytes)

Βεβαίωση Λήψης: Training sequence 1ms, Start Bit, 2 Bytes – Έλεγχος αθροίσματος (Checksum) των ληφθέντων δεδομένων.

Coding: NRZ (Non return-to-zero)

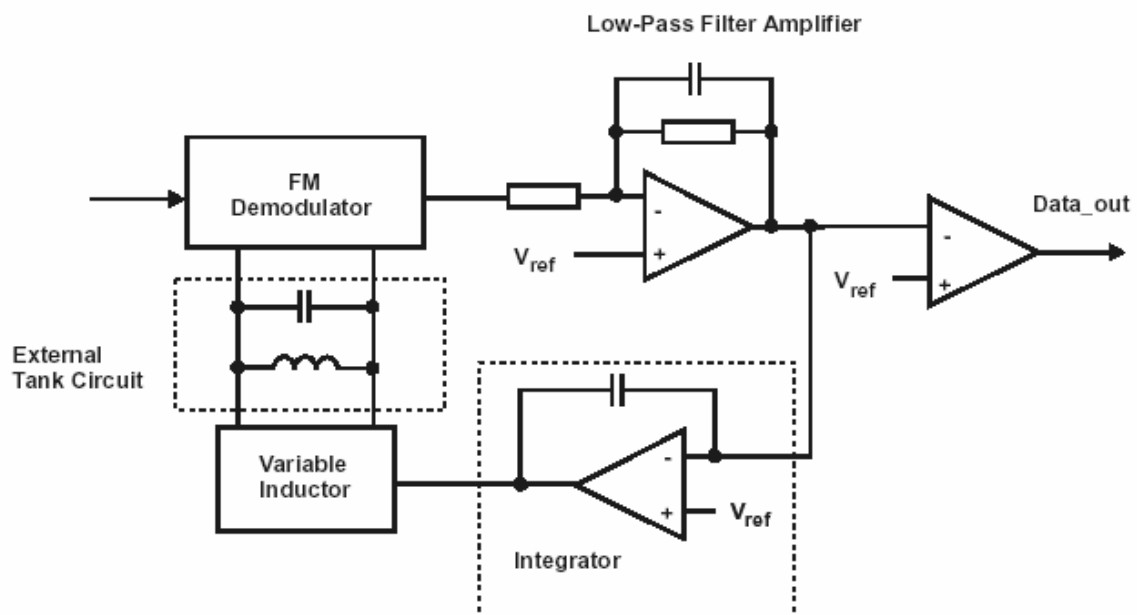


Το πρωτόκολλο αποτελείται από 3 τρία μέρη (training sequence, start bit, data package) τα οποία και σχολιάζουμε παρακάτω:

Training Sequence

Ο πομποδέκτης TRF6900 μπορεί να λαμβάνει RZ (return-to-zero) αλλά και NRZ κωδικοποιημένα σήματα, με αποτέλεσμα να διπλασιάζουμε το εκπεμπόμενο ρυθμό δεδομένων σε σχέση με τις κωδικοποιήσεις Biphase και Manchester.

Το παραπάνω χαρακτηριστικό παρέχεται από τον data slicer τον sample και hold πυκνωτή και του αυτομάτου ελέγχου συχνότητας (AFC) που φαίνεται και στο παρακάτω σχήμα.



Ο βρόχος φορτίζει τον sample και hold πυκνωτή σε μια DC τιμή του λαμβανόμενου σήματος. Ο πυκνωτής φορτίζεται κατά τη διάρκεια της λήψης σε learn mode δηλαδή κατά τη διάρκεια της λήψης της training sequence. Η training sequence είναι μια ακολουθία τετραγωνικών κυμάτων με ίση χρονική διάρκεια για high και για low (Duty cycle=0.5).

Μετά από αρκετό χρονικό διάστημα και αφού ο πυκνωτής έχει φορτιστεί σε μια DC τιμή, έχοντας επιτύχει με ακρίβεια τη αξία της τάσης αναφοράς το

TRF6900 μεταπίπτει από το learn mode σε hold mode. Τυπικά ο χρόνος του hold mode είναι μερικά δευτερόλεπτα, που αυτό βοηθάει στη λήψη σημάτων με πολλά μηδενικά ή άσσους.

Συνοπτικά η training sequence έχει δυο σκοπούς.

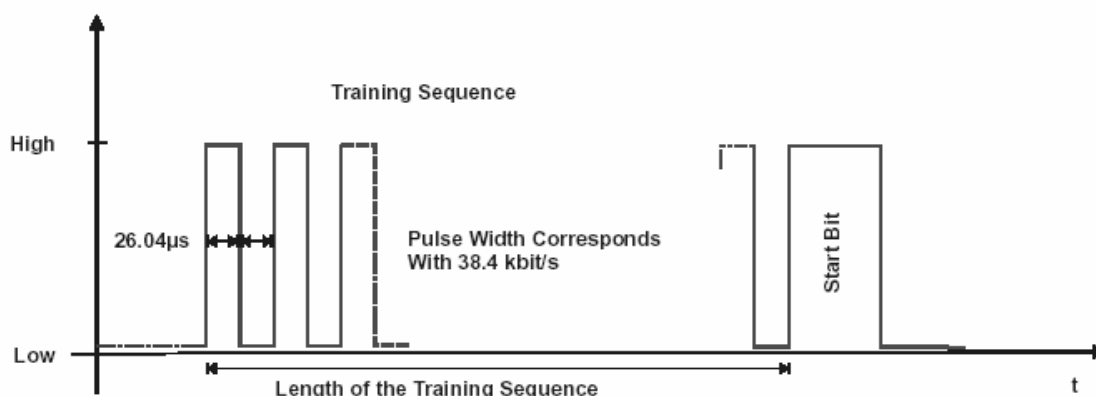
Πρώτον να βοηθήσει το δέκτη να προσαρμοστεί στο εκπεμπόμενο σήμα φορτίζοντας τους πυκνωτές sample και hold σε μια dc τιμή. Έτσι με αυτόν το τρόπο θα βοηθήσει το δέκτη στη λήψη κωδικοποιημένων σημάτων NRZ.

Και κατά δεύτερον να βοηθήσει το δέκτη να διαχωρίσει το έγκυρο σήμα μας από πιθανά σήματα θορύβου ή μη έγκυρα σήματα που θα βρίσκονται στην ίδια περιοχή συχνοτήτων με το έγκυρο σήμα μας.

Έχει υπολογιστεί ότι ο χρόνος που διαρκεί η training sequence όπως το βλέπουμε και στο παρακάτω σχήμα είναι κοντά στο 1ms σύμφωνα με το σύγχρονο τρόπο λειτουργίας DEMO 1.16 (RF μετάδοση)

Μέσα σε αυτό το χρόνο όπως είπαμε ο δέκτης θα πρέπει να αναγνωρίσει και να ανιχνεύσει το σήμα και το κύκλωμα AFC να προσαρμοστεί στο σήμα του πομπού.

Έπειτα από την αναγνώριση της training sequence το TRF6900 θα πρέπει να αλλάξει τρόπο λειτουργίας από το learn mode σε hold mode για να λάβει το κώδικα NRZ.



Start Bit

Το start bit όπου μπορούμε να το δούμε στο παραπάνω σχήμα. Σκοπό έχει να βοηθάει στη λήψη των πακέτων δεδομένων μαρκάροντας την αρχή του πακέτου αλλά και να συγχρονίζει το δέκτη. Η διάρκεια του start bit πρέπει να είναι τέτοια ώστε ο δέκτης να μπορεί να διακρίνει τους παλμούς της training sequence και του παλμού του start bit. Συγκεκριμένα για τη περίπτωση μας το μήκος του παλμού start bit είναι τρεις φορές μεγαλύτερος από αυτόν της training sequence δίνοντας του έτσι χρονική διάρκεια $78,12\mu s$ ($3\text{bits} \times 26,04\mu s$).

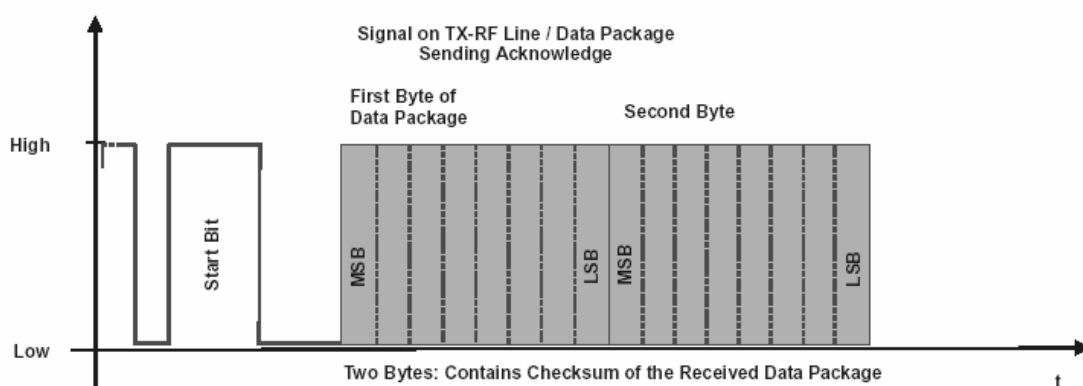
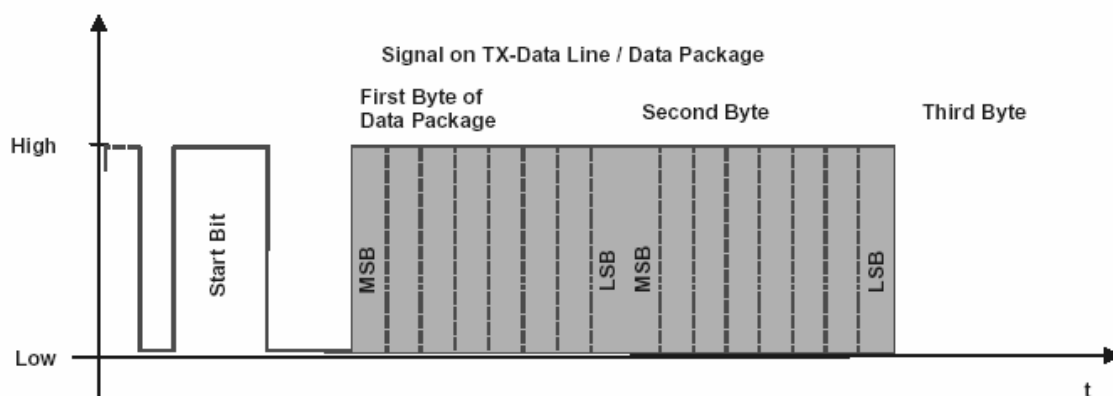
Data Package

Το κομμάτι αυτό αποτελεί τη καθαρή πληροφορία δεδομένων που έχει αποσταλεί από το πομπό. Μετά από αρκετούς κώδικες έχουμε καταλήξει στο ότι το πακέτο δεδομένων πρέπει να αποτελείται από 34 byte δεδομένων.

Σε αυτά τα 34 byte τα πρώτα 2 byte αποτελούν τη βεβαίωση λήψης (checksum) δηλαδή τον υπολογισμό και την επαλήθευση ότι ολόκληρο το πακέτο έφτασε στο δέκτη.

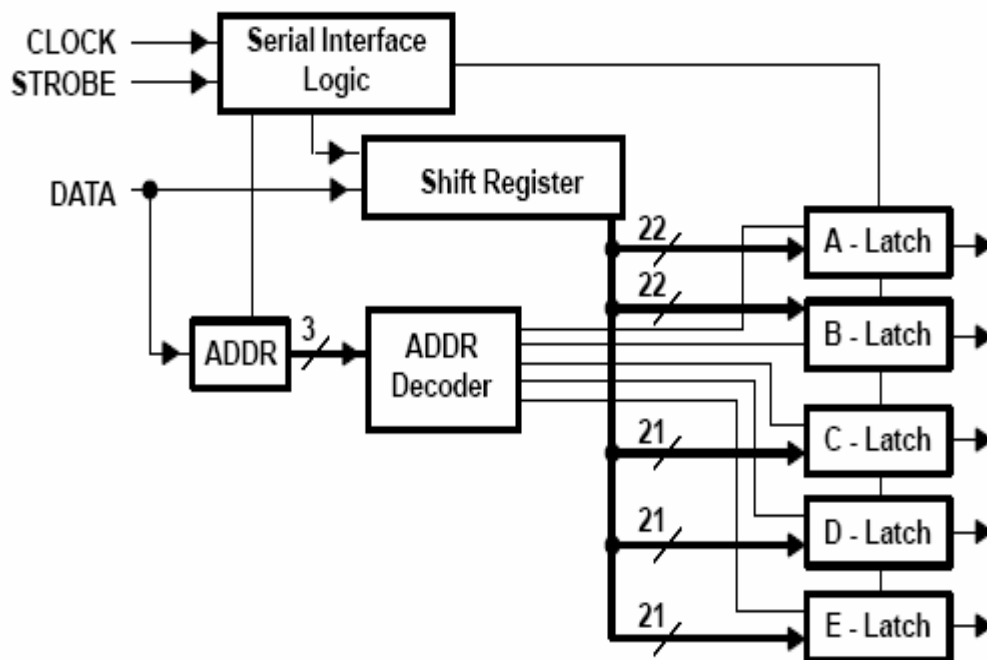
Τα υπόλοιπα 32 byte αποτελούν την καθαρή πληροφορία. Η μετάδοση ενός byte γίνεται πάντα με το MSB (most significant bit)

Παρακάτω μπορούμε να δούμε στο πρώτο σχήμα τη μορφή που παίρνει το πακέτο δεδομένων όταν στέλνονται 32 byte χωρίς τη βεβαίωση λήψης ενώ στο δεύτερο με επιπλέον 2 byte για τη βεβαίωση της λήψης.



Προγραμματίζοντας το TRF6900

Το TRF6900 υποστηρίζει δυο mode προγραμματισμού για μετάδοση και λήψη που γίνεται εύκολα μέσω της σειριακής διασύνδεσης όπου μπορούμε να τη δούμε στο παρακάτω σχήμα.



Το TRF6900 έχει τέσσερις καταχωρητές(A,B,C,D), όπου A και D χρησιμοποιούνται για το mode 0 ενώ οι B και C για το mode 1 προγραμματισμού.

Οι καταχωρητές A και B είναι 24bits και χρησιμοποιούνται για να προγραμματίσουν το DDS. Τα δυο περισσότερα σημαντικά bit (MSB) των 24 bit καταχωρητών χρησιμοποιούνται για να διευθυνσιοδοτήσουν τους καταχωρητές.

Οι C και D περιέχουν τα settings για τον έλεγχο του TRF6900 και για όλα τα module του. Αυτοί οι καταχωρητές είναι πάλι 24 bit με τα τρία αυτή τη φορά MSB να καθορίζουν τις διευθύνσεις των καταχωρητών. Τα settings για αυτούς τους τέσσερις καταχωρητές προγραμματίζονται μέσω του σειριακού διαύλου που αποτελείται από τα τρία εξής σήματα: DATA, CLOCK, STROBE. Με κάθε παλμό του ρολογιού τα δεδομένα που βρίσκονται στη γραμμή data εισέρχονται στο καταχωρητή μετατόπισης (shift register). Η εκτέλεση του προγράμματος ξεκινά με τα περισσότερα σημαντικά bit (MSB). Τα περιεχόμενα του shift register με κάθε παλμό STROBE μετακινούνται στους καταχωρητες A,B,C,D. Όταν εφαρμόζεται ο παλμός STROBE απαραίτητο είναι τα σήματα DATA, CLOCK να είναι low.

Στο παρακάτω παλμογράφημα μπορούμε να δούμε με ποιο τρόπο μεταφέρονται τα δεδομένα σύμφωνα με τα παραπάνω.

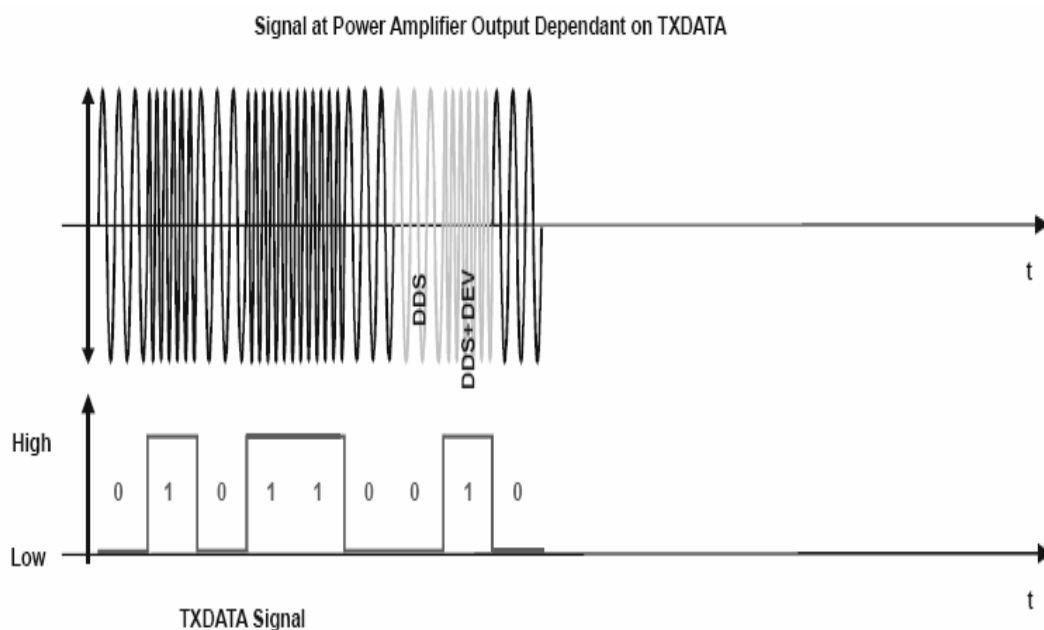


**Ρυθμίζοντας τις συχνότητες στην RF ζεύξη
στους καταχωρήτες A και B**

Στο πρόγραμμα μας έχουμε δυο τρόπους λειτουργίας που τους χρησιμοποιούμε για τις ρυθμίσεις των δυο διαφορετικών συχνοτήτων.

Σαν παράδειγμα μπορούμε να χρησιμοποιήσουμε το mode 0 σαν mode για εκπομπή και το mode 1 σαν mode για λήψη. Ένα άλλο παράδειγμα που αξίζει να αναφέρουμε είναι να χρησιμοποιήσουμε και τα δυο mode για εκπομπή μεταδίδοντας έτσι τα δεδομένα μας σε δυο διαφορετικές συχνότητες με τη μέθοδο εναλλαγής συχνότητας (frequency hopping).

Η σύνδεση RF που εφαρμόζεται στο αναπτυξιακό λειτουργεί σε μια κεντρική συχνότητα 869,83 MHZ διαμορφώνοντας τα δεδομένα κατά συχνότητα. Αυτό σημαίνει ότι λαμβανόμενες πληροφορίες μας είναι κωδικοποιημένες με τη χρησιμοποίηση δυο διαφορετικών συχνοτήτων. Παρακάτω μπορούμε να δούμε το σήμα μας στην έξοδο του power amplifier και στο TXDATA.



Εφόσον το σήμα μας στο TXDATA είναι low τότε η συχνότητα παραγωγής αντιστοιχεί με τα DDS (direct digital synthesizer) settings για το sent mode.

(Mode 1/DDS 1/ 869,83 MHZ)

Αντίστοιχα όταν το TXDATA βρίσκεται σε high κατάσταση τότε στο DDS 1 προστίθενται και τα bits της απόκλισης στην D λέξη προγραμματισμού. Στην περίπτωση μας η συχνότητα θα είναι (869,83 MHZ+60 KHZ).

Από τη μεριά του ο δέκτης λειτουργεί με μια ενδιάμεση συχνότητα (IF) 10.7MHZ.

Όπως ξέρουμε υπάρχουν διάφοροι λόγοι για να λειτουργεί ο δέκτης σε μια σταθερή ενδιάμεση συχνότητα.

Κατ' αρχάς τα φίλτρα που πρέπει να ξεχωρίζουν το σήμα από το θόρυβο μπορούν να προσαρμοστούν σε μια ορισμένη μπάντα συχνοτήτων. Αυτή η τεχνική μας είναι πιο εύκολη και λιγότερη δαπανηρή από τα προσαρμοστικά φίλτρα.

Δεύτερον λόγω της σταθερής ενδιάμεσης συχνότητας το χαρακτηριστικό φιλτράρισμα στο δέκτη παραμένει σταθερό σε ολόκληρη τη ζώνη συχνοτήτων που χρησιμοποιείται από τη RF σύνδεση. Συγκεκριμένα αυτή η ζώνη συχνοτήτων καθορίζεται από τα όρια που έχει ο VCO (voltage control oscillator) και το PLL (phase locked loop).

Ένας άλλος λόγος που χρησιμοποιείται ένας τέτοιος δέκτης είναι ότι το κύκλωμα του δέκτη λειτουργεί με μια πολύ χαμηλότερη συχνότητα που έτσι ελαττώνουμε τις απώλειες. Για να μετασχηματιστούν οι λαμβανόμενες πληροφορίες σε μια IF συχνότητα πρέπει να γίνει μίξη ανάμεσα στη συχνότητα RF που έχει σταλεί και μια άλλη συχνότητα διαφορετική της IF. Για αυτό το λόγο η συχνότητα DDS 0 (MODE 0) τίθεται στα 859,13MHZ , που αυτή η συχνότητα είναι χαμηλότερη από τη κεντρική κατά 10,7MHZ. Έτσι όταν αυτές οι δυο συχνότητες αναμειγνύονται μαζί το αποτέλεσμα μας δίνει ένα σήμα στα 10,7MHZ που περιέχει της εκπεμπόμενες πληροφορίες σε μια διαμόρφωση συχνότητας 60KHZ όπου αυτή τη τιμή θα πρέπει να έχουν τουλάχιστον και τα IF φίλτρα μας για να μπορούν να λάβουν τη πληροφορία μας.

Για τον υπολογισμό τώρα της συχνότητας του VCO αλλά και τον υπολογισμό των λέξεων A (DDS_0) και B (DDS_1) μπορούμε να τα βρούμε στο άρθρο του συναδέλφου μας στη παράγραφο Clock Frequency Selection

Ρυθμίζοντας τους καταχωρητές ελέγχου C και D

Εκτός από τους δυο DDS καταχωρητές συχνότητας, υπάρχουν και δυο καταχωρητές ελέγχου που είναι οι C και D λέξεις. Το bit ελέγχου σε κάθε λέξη ισχύει μόνο όταν ο σωστός τρόπος είναι επιλεγμένος, δηλαδή η C λέξη για το mode 1 λειτουργίας και η D λέξη για το mode 0. Όμως υπάρχουν bits ελέγχου που είναι έγκυρα ανεξάρτητα από το τρόπο λειτουργίας όπως μπορούμε να δούμε και στο παρακάτω σχήμα.

C-Word: Validity of Control Bits

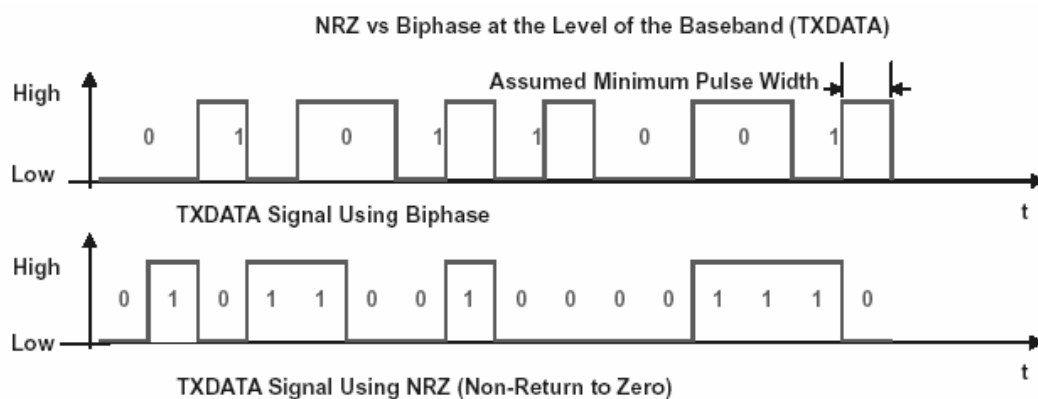
23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	1	X	X	X	X	X	X	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X
Address Bits			APLL				NPLL		MM	SLCTL		PLL		VCO	PA	SLC	LPF	SW	RSSI	DEM	IF	MIX	LNAM
			Valid Independent of Selected Mode				Valid Only When Mode 1 Selected			Valid Only When Mode 1 Selected		Valid Only When Mode 1 Selected		Valid Only When Mode 1 Selected	Valid Only When Mode 1 Selected	Valid Only When Mode 1 Selected	Valid Only When Mode 1 Selected	Valid Only When Mode 1 Selected	Valid Only When Mode 1 Selected	Valid Only When Mode 1 Selected	Valid Only When Mode 1 Selected	Valid Only When Mode 1 Selected	Valid Only When Mode 1 Selected

D-Word: Validity of Control Bits

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
Address Bits			DEV								PLL		VCO	PA	SLC	LPF	SW	RSSI	DEM	IF	MIX	LNAM	
			Valid Only When Mode 0 Selected								Valid Independent of Selected Mode		Valid Independent of Selected Mode	Valid Independent of Selected Mode	Valid Independent of Selected Mode	Valid Independent of Selected Mode	Valid Independent of Selected Mode	Valid Independent of Selected Mode	Valid Independent of Selected Mode	Valid Independent of Selected Mode	Valid Independent of Selected Mode	Valid Independent of Selected Mode	

Για την RF σύνδεση που εφαρμόζεται στο αναπτυξιακό μας, χρησιμοποιούνται δυο διαφορετικά settings για τη C λέξη και ένα για τη D λέξη. Τα δυο διαφορετικά setting που χρησιμοποιούνται για τη C λέξη αφορούν την εναλλαγή λήψης από το learn mode στο hold mode λειτουργίας. Η λήψη στο hold mode επιτρέπει στο TRF6900 να λάβει το κώδικα NRZ . Τα bit ελέγχου για αυτή τη ρύθμιση εμπεριέχονται στη C λέξη η οποία πρέπει να επαναπρογραμματιστεί για να γίνει η εναλλαγή λήψης.

Σε αυτό το σημείο να πούμε ότι ο λόγος για τον οποίο χρησιμοποιούμε NRZ κώδικα είναι ότι μας προσφέρει τη δυνατότητα να γλιτώσουμε χρόνο εκπομπής σε σχέση με μια άλλη κωδικοποίηση όπως είναι η Biphase. Στο παρακάτω γράφημα μπορούμε να παρακολουθήσουμε τις διαφορές μεταξύ τους.



Παρακάτω θα μελετήσουμε αναλυτικότερα τα 2 settings που παρουσιάζει η λέξη C. Αυτά τα 2 settings εγκαθίστανται από τις ρουτίνες `program_send_FSK` και `program_receive_FSK_hold` και στέλνονται με τη σειριακή διασύνδεση μέσω της ρουτίνας `program_TRF6900`. Για τη ρουτίνα `program_send_FSK` η C λέξη θα έχει το παρακάτω setting.

C-Word Settings of *program_send_FSK*

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
1	0	1	1	1	1	0	0	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0							
Address Bits				APLL			NPLL		MM	SLCTL					PLL		VCO		PA		SLC		LPF	SW	RSSI	DEM	IF	MIX	LNAM	

CONTROL BIT NAME	BIT(S)	SETTING	DESCRIPTION	SELECTED
APLL	[18]–[20]	111	Acceleration factor for the charge pump	140
NPLL	[17]	0	RF divider ratio for PLL	256
MM	[16]	0	Modulation mode select	FSK
SLCTL	[15]	1	Slicer mode select bit	Learning
Not used	[13], [14]			
PLL	[12]	1	Enable PLL	Enable
VCO	[11]	1	Enable VCO	Enable
PA	[9], [10]	11	Power amplifier gain value	0 dB
SLC	[8]	0	Enable data slicer	Disabled
LPF	[7]	0	Enable LPF amplifier	Disabled
SW	[6]	0	Data switch	Demodulator
RSSI	[5]	0	Enable limiter/RSSI	Disabled
DEM	[4]	0	Enable limiter/demodulator	Disabled
IF	[3]	0	Enable first IF amplifier	Disabled
MIX	[2]	0	Enable mixer	Disabled
LNA	[0], [1]	00	Low noise amplifier operation mode	Disabled

Η σύνδεση RF που εφαρμόζεται στο αναπτυξιακό χρησιμοποιεί το mode 1 λειτουργίας για την αποστολή των δεδομένων και είναι απαραίτητο όλες οι βαθμίδες από τη πλευρά του δέκτη να είναι εκτός λειτουργίας(disabled) στη C λέξη. Ενώ από την άλλη όλες οι βαθμίδες από τη πλευρά του πομπού πρέπει να είναι ενεργές (enabled). Πιο συγκεκριμένα ο power amplifier στέλνει τα δεδομένα με τη μέγιστη ισχύ ενώ όλη η βαθμίδα του PLL πρέπει να είναι ενεργή. Η διαμόρφωση που επιλέγουμε είναι FSK και η αναλογία των διαιρετών πρέπει να είναι 256 και αυτό γιατί με κρύσταλλο αναφοράς στα 18MHZ αναγκάζουμε τα τυχαία σήματα να βρίσκονται έξω από το φάσμα μας. Ο παράγοντας επιτάχυνσης για το charge pump τίθεται στη μέγιστη τιμή του 140. Τέλος το slicer control bit τίθεται άσος γιατί αυτή είναι η προεπιλογή για να λειτουργούμε σε learning mode που έτσι θα έχουμε τη δυνατότητα να ανιχνεύσουμε τη training sequence του αποστολέα.

Όσο αφορά τώρα για το επόμενο setting για τη λέξη C το μόνο που αλλάζει από αυτό που περιγράψαμε παραπάνω είναι η αλλαγή του data-slicer mode από learn σε hold mode. Δηλαδή το 15 bit SLCTL αλλάζει κατάσταση από ένα σε μηδέν και αυτό για να μπορούμε να λάβουμε σε hold mode κωδικοποιημένα σήματα NRZ.

C-Word Settings of *program_receive_FSK_hold*

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	1	1	1	1	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0
Address Bits			APLL			NPLL		MM	SLCTL		PLL		VCO	PA	SLC	LPF	SW	RSSI	DEM	IF	MIX	LNAM	

Τέλος να πούμε ότι η C λέξη ισχύει όπως έχουμε πει για το mode 1, αλλά όπως και να έχει υπάρχουν bit ελέγχου που είναι έγκυρα και για τα δυο mode λειτουργίας. Για αυτό η C λέξη πρέπει να επαναπρογραμματιστεί για να αλλάζει το data slicer από learn σε hold mode.

Τώρα για τη D λέξη χρησιμοποιείται στο mode 0 και στη ρουτίνα *program_receive_FSK_learn* που αυτό θα σημαίνει ότι τα bits ελέγχου είναι έγκυρα μεμονωμένα για mode 0 και προγραμματισμένα για λήψη. Έτσι χρησιμοποιούνται όλες οι βαθμίδες του δέκτη για τη D λέξη. Το παρακάτω σχήμα μας δείχνει τα settings της.

D-Word Settings of *program_receive_FSK_learn*

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	0	0	0	1	1	1	0	0	0	1	1	0	0	1	1	0	0	1	1	1	1	1
Address Bits			DEV									PLL	VCO	PA	SLC	LPF	SW	RSSI	DEM	IF	MIX	LNAM	

Αναλυτικά η D λέξη περιέχει τα έγκυρα setting για το mode 0 καθώς επίσης και μια απόκλιση στα bits 13 έως 20 ανεξαρτήτου mode λειτουργίας όταν τρόπο διαμόρφωσης έχουμε επιλέξει τον FSK. Τα setting της απόκλισης προστίθενται σε αυτά του DDS όταν τα TXDATA βρίσκονται σε high κατάσταση. Η απόκλιση για το αναπτυξιακό έχει τεθεί σε 60KHZ. Παρακάτω μπορούμε να δούμε το πίνακα με τα setting της D λέξης.

CONTROL BIT NAME	BIT(S)	SETTING	DESCRIPTION	SELECTED
DEV	[13]–[20]	111000	FSK frequency deviation register	60 kHz
PLL	[12]	1	Enable PLL	Enable
VCO	[11]	1	Enable VCO	Enable
PA	[9], [10]	0	Power amplifier gain value	Disabled
SLC	[8]	1	Enable data slicer	Enabled
LPF	[7]	1	Enable LPF amplifier	Enabled
SW	[6]	0	Data switch	Demodulator
RSSI	[5]	0	Enable limiter/RSSI	Disabled
DEM	[4]	1	Enable limiter/demodulator	Enabled
IF	[3]	1	Enable first IF amplifier	Enabled
MIX	[2]	1	Enable mixer	Enabled
LNA	[0], [1]	11	Low noise amplifier operation mode	Normal operation

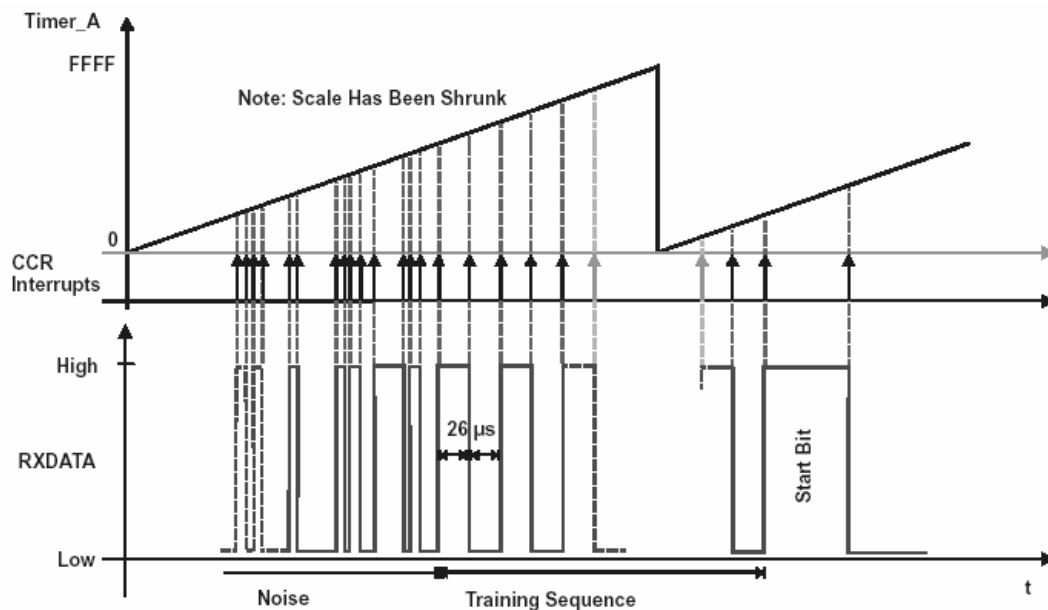
Ο ενισχυτής χαμηλού θορύβου LNA λειτουργεί στο μέγιστο κέρδος στη κανονική λειτουργία και ενώ ο μικτής είναι enable. Η λαμβανόμενη συχνότητα των 869,83MHZ πρέπει να αναμιχθεί με την ενδιάμεση συχνότητα των 10,7 MHZ.

Στο κύκλωμα μας χρησιμοποιούμε δυο ίδια κεραμικά φίλτρα για αυτό ο πρώτος μας IF ενισχυτής θα είναι enabled. Σκοπός του IF ενισχυτή είναι να αποσυνδέσει τα IF φίλτρα και να αντισταθμίσει τις απώλειες των φίλτρων. Ο αποδιαμορφωτής μας μεταφέρει το σήμα μας σε μια χαμηλή συχνότητα με επαρκές πλάτος. Το χαμηλοπερατό φίλτρο χρησιμοποιείται για να φιλτράρει σήματα θορύβου υψηλής συχνότητας στην έξοδο του αποδιαμορφωτή.

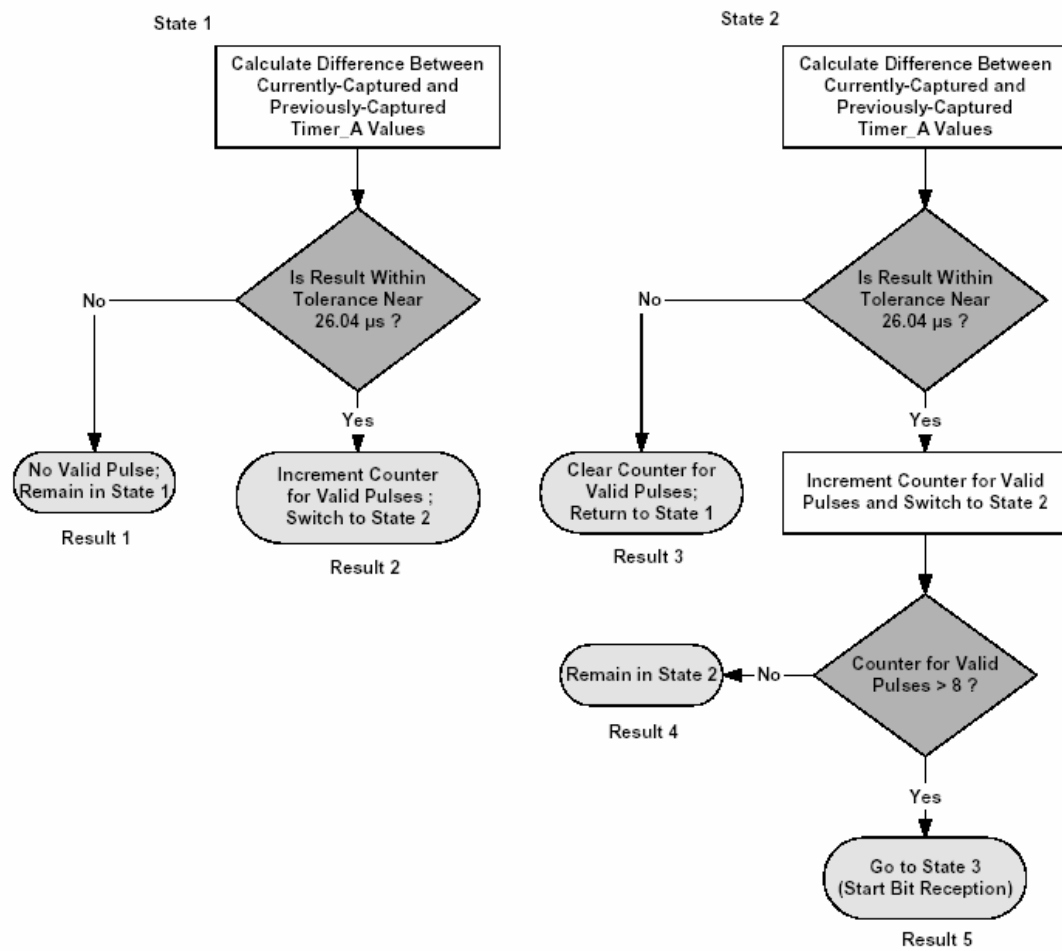
Τέλος ο data slicer ανακτά τα baseband ψηφιακά σήματα από την έξοδο του χαμηλοπερατού φίλτρου και έπειτα τα παραδίδει στο μικροελεγκτή για περαιτέρω επεξεργασία.

Ανίχνευση της Training Sequence

Το TRF6900 ελέγχεται από τον μικροελεγκτή MSP430 και το μεταστρέφει σε ενεργό τρόπο λειτουργίας. Ο μικροελεγκτής MSP430 ανιχνεύει το λαμβανόμενο σήμα για την ύπαρξη έγκυρων δεδομένων. Όπως και να έχει το TRF6900 όταν είναι ενεργό και σε receive mode πάντα μας παραδίδει σήμα στο RXDATA. Ο μικροελεγκτής MSP430 πρέπει να διακρίνει ανάμεσα στα έγκυρα και στα μη έγκυρα δεδομένα. Για να κάνει αυτή τη διάκριση ο μικροελεγκτής χρησιμοποιεί την interrupt ρουτίνα Timer_A. Το παρακάτω σχήμα μας δείχνει ότι σε κάθε άκρη του σήματος RXDATA δημιουργείται ένα interrupt και triggers για σύλληψη και αποθήκευση της νέας τιμής του Timer_A. Το επόμενο interrupt από το RXDATA επανεκινά την ίδια διαδικασία. Η πιο πρόσφατη τιμή του Timer_A συγκρίνεται με τη προηγούμενη και με αυτό το τρόπο ο μικροελεγκτής υπολογίζει το εύρος του λαμβανόμενου παλμού. Επειδή η μετάδοση ενός πακέτου δεδομένων πάντα ξεκινά με την ίδια training sequence (εύρος παλμού 26,04μs), ο μικροελεγκτής ανιχνεύει το σήμα μας στη γραμμή RXDATA για παλμούς διάρκειας 26,04μs.



Επειδή το λαμβανόμενο σήμα μας σχεδόν πάντα διαστρεβλώνεται από θόρυβο ή από άλλες επιδράσεις το σήμα RXDATA πάντα θα περιέχει μια αστάθεια φάσης (jitter) όπως μπορεί να μας δείξει και το παρακάτω σχήμα. Το παρακάτω παλμογράφημα μας συγκρίνει το TXDATA σήμα μας στη πλευρά του πομπού και το αντίστοιχο RXDATA σήμα στο δέκτη. Μας δείχνει ότι λόγω του αστάθεια φάσης ο μικροελεγκτής ανιχνεύει το σήμα για διάρκεια 22,8μs έως και 29,3μs αντί για ακριβώς 26,04μs. Αυτό το εύρος είναι εμπειρικό και έχει τεθεί ύστερα από μετρήσεις που έγιναν κατά τη διάρκεια της φάσης αξιολόγησης. Η αντιστοιχία σε παλμούς του ρολογιού είναι 56 έως 72.



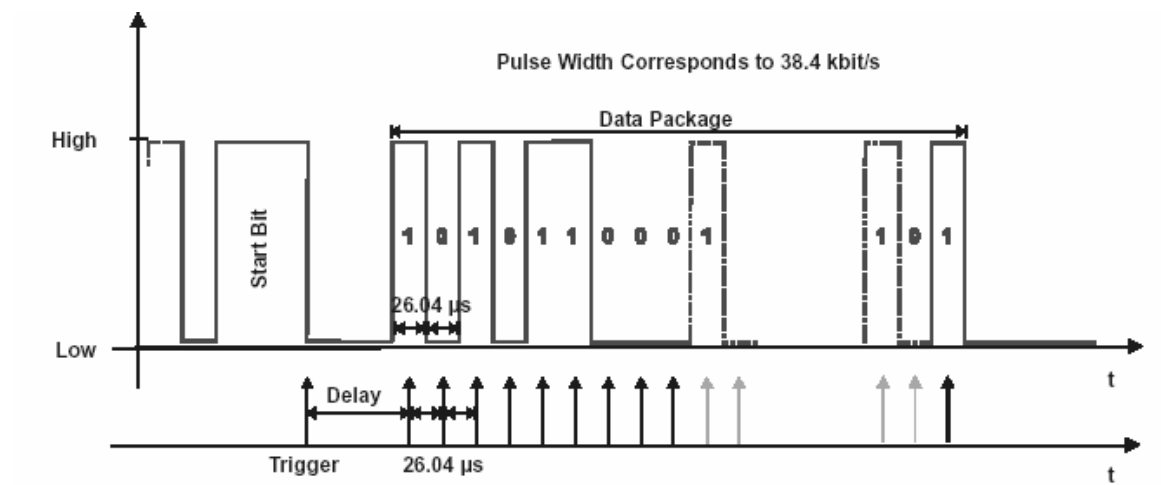
Ανίχνευση του Start Bit

Η λογική όπου ανιχνεύσαμε τη training sequence είναι παρόμοια με αυτή της ανίχνευσης του start bit. Η διαφορά βρίσκεται στους παλμούς της training sequence και του παλμού του start bit όπου το μήκος του είναι τρεις φορές μεγαλύτερο από εκείνο του παλμού της training sequence, δηλαδή $3 \cdot 26,04\mu\text{s} = 78,12\mu\text{s}$. Το τελείωμα του παλμού start bit είναι το trigger για την ανίχνευση και ανάγνωση του πακέτου δεδομένων.

Ανάγνωση του Πακέτου Δεδομένων

Το πακέτο δεδομένων ακολουθεί το start bit και περιέχει 32 byte δεδομένων και 2 byte επιπλέον για τη βεβαίωση λήψης (checksum) όπου βρίσκονται στην αρχή του εκπεμπόμενου πακέτου. Η διαμόρφωση του κώδικα των παλμών που χρησιμοποιείται για τα πακέτα δεδομένων είναι η NRZ. Το εύρος του κάθε παλμού είναι $26,04\mu\text{s}$ και αντιστοιχεί σε εκπεμπόμενο ρυθμό δεδομένων $38,4\text{Kbps}$.

Η διαδικασία για την ανίχνευση των πακέτων διαφέρει από αυτής της training sequence και του start bit. Αυτό δικαιολογείται στο ότι η πληροφορία στα πακέτα δεδομένων αποθηκεύεται όχι στο εύρος του παλμού όπως κάναμε στις δυο προηγούμενες περιπτώσεις αλλά στο επίπεδο λογικής από τη baseband πλευρά ή σε μια τιμή συχνότητας από τη RF πλευρά. Επειδή το εύρος του παλμού καθώς και ο αριθμός των εκπεμπόμενων bit είναι γνωστά, είναι αποδοτικότερο να ελέγχει τη τιμή του σήματος στην έξοδο του τεμαχιστή δεδομένων σε ένα καθορισμένο χρονικό διάστημα ($26,04\mu\text{s}$) παρά να ελέγχει το εύρος παλμού του σήματος και το πλάτος του. Στο παρακάτω σχήμα δείχνει ότι μετά από κάποια καθυστέρηση ο μικροελεγκτής αρχίζει να ανιχνεύει τα δεδομένα και ελέγχει τη τιμή του μέσου bit στην έξοδο του data slicer. Επειδή ο μόνος συγχρονισμός κατά την ανίχνευση του σήματος είναι κατά τη πτώση του παλμού start bit στη πλευρά του δέκτη, η αστάθεια φάσης εκείνης της στιγμής και η ακρίβεια στα ρολόγια του μικροελεγκτή κατά τη διάρκεια της λήψης μπορούν να δημιουργήσουν σημαντικά προβλήματα. Έτσι κανονικά θα πρέπει να εφαρμόσουμε ένα πιο σύνθετο συγχρονισμό υψηλής ακρίβειας αλλά δοκιμές έχουν δείξει ότι αυτός ο απλός συγχρονισμός είναι αποδοτικός.

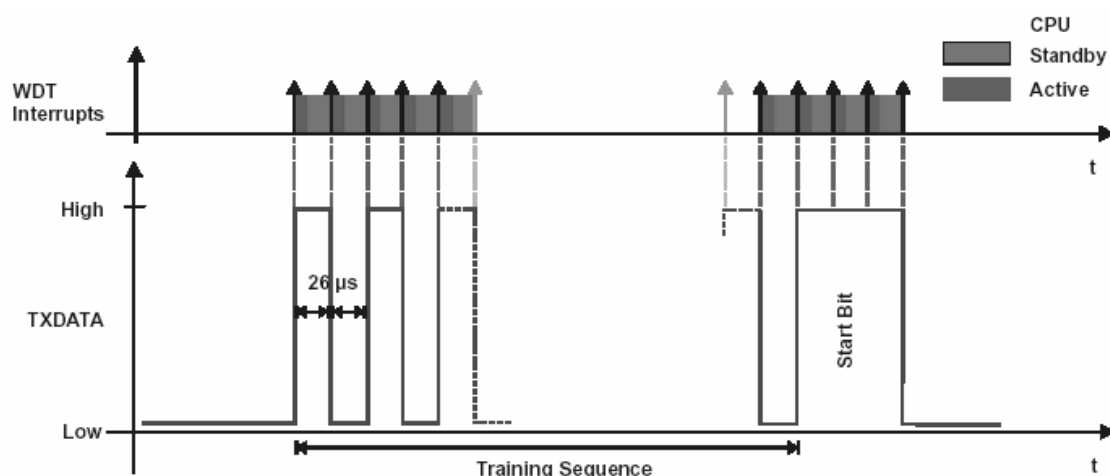


ΥΛΟΠΟΙΗΣΗ ΤΗΣ RF ΕΚΠΟΜΠΗΣ

Στόχος του μικροελεγκτή κατά τη διάρκεια της μετάδοσης είναι να λαμβάνει τα πακέτα δεδομένων από τον υπολογιστή και έπειτα να δημιουργεί το PCM (pulse modulation code) σήμα για τα πακέτα δεδομένων. Ο μικροελεγκτής μεταστρέφει το TRF6900 σε λειτουργία εκπομπής. Ο μικροελεγκτής είναι επίσης υπεύθυνος και για τη παραγωγή συγχρονισμού για το πρωτόκολλο μετάδοσης το οποίο είναι ίδιο με το συγχρονισμό για την ανίχνευση των πακέτων δεδομένων κατά τη λήψη.

Δημιουργώντας την Training Sequence

Σκοπός και η μορφή της Training Sequence παρουσιάζονται σε άλλη ενότητα. Το μήκος της ακολουθίας είναι 38 παλμοί και ο κάθε ένας έχει χρονική διάρκεια 26,04μs με αποτέλεσμα το σύνολο της να έχει διάρκεια 990 μs. Όπως ήδη έχει αναφερθεί ο συγχρονισμός για το κάθε παλμό της παράγεται από ένα Watchdog Timer (WDT). Σε ένα κυκλικό βρόχο όταν σήμα εμφανίζεται στο TXDATA, ο μετρητής για τους παλμούς της ακολουθίας ελέγχεται και μειώνεται. Τότε ο μικροελεγκτής πέφτει σε sleep mode και ένα interrupt θα τον ξυπνάει κάθε 26,04μs από το Watchdog Timer (WDT). Το παρακάτω σχήμα μας δείχνει τα προλεγόμενα.

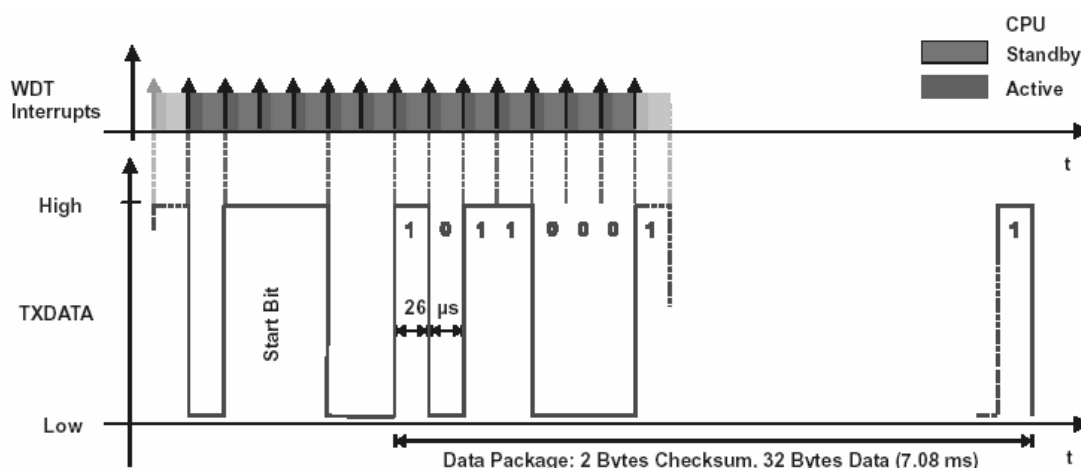


Δημιουργία του Start Bit

Η διαδικασία για τη παραγωγή του start bit είναι ίδια όπως για τη training sequence. Η διαφορά είναι ότι ο μικροελεγκτής τώρα μεταπίπτει στη γραμμή δεδομένων TXDATA μετά από τρία Watchdog Timer (WDT) interrupt όπως θα βλέπαμε και στο παραπάνω γράφημα.

Στέλνοντας τα πακέτα δεδομένων

Ο συγχρονισμός για τη μετάδοση των πακέτων είναι ίδιος με τη training sequence και αρχίζει με το start bit του Watchdog Timer (WDT). Επειδή τα πακέτα στέλνονται σε NRZ κώδικα η περαιτέρω επεξεργασία ή κωδικοποίηση του baseband σήματος δεν χρειάζεται. Τα πρώτα δυο byte του πακέτου περιέχουν τη βεβαίωση λήψης (checksum) των δεδομένων που έχουν σταλεί. Αυτά τα bytes υπολογίζονται μετά τη λήψη και αποθηκεύονται στη μνήμη RAM. Η βεβαίωση λήψης επιτρέπει στο δέκτη να επιβεβαιώσει την εγκυρότητα των δεδομένων που έχει λάβει. Κατά τη διαδικασία της μετάδοσης το πιο σημαντικό bit (MSB) μεταδίδεται πρώτο. Δεν υπάρχουν start και stop bit μεταξύ των byte και τέλος τα εκπεμπόμενα δεδομένα στέλνονται διαδοχικά και συνεχόμενα. Το παρακάτω σχήμα μας δείχνει το διάγραμμα συγχρονισμού.



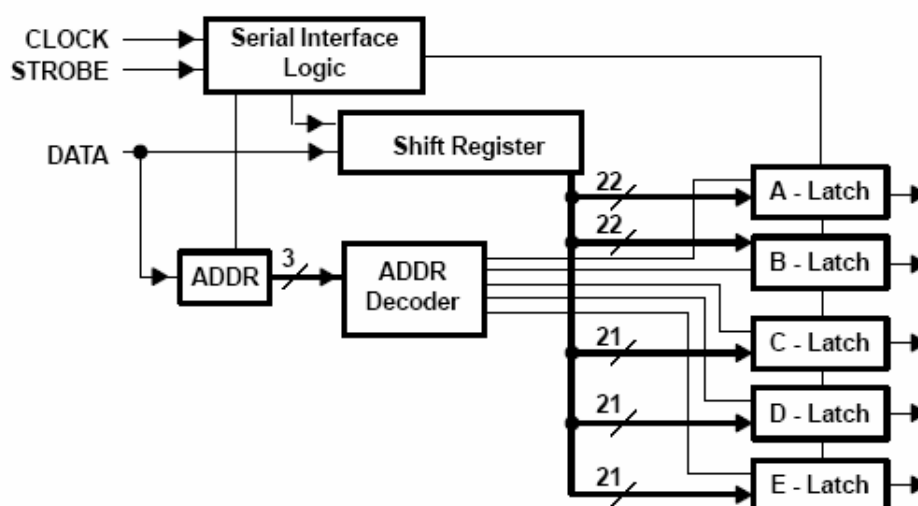
Serial Control Interface

Τρία μονόδρομα σήματα (clock, data, strobe) χρησιμοποιούνται για να προγραμματίσουν το TRF6900 (εικόνα 11). Οι εσωτερικοί καταχωρητές περιέχουν όλες τις προγραμματιζόμενες μεταβλητές χρηστών, συμπεριλαμβανομένων των DDS καταχωρητών, για τη ρύθμιση της συχνότητας όπως και όλους τους καταχωρητές ελέγχου.

Σε κάθε αυξανόμενη άκρη του σήματος ρολογιού, μεταδίδεται στον ακροδέκτη των δεδομένων 1bit και γράφεται στον καταχωρητή ολίσθησης 24-bits.

Όταν ο ακροδέκτης strobe γίνει άσσος, τότε φορτώνονται οι προγραμματιζόμενες πληροφορίες στο επιλεγμένο latch.

Τα σήματα clock και strobe είναι ασύγχρονα, γι' αυτό πρέπει να προσεχθεί ώστε τα σήματα αυτά να παραμείνουν ανεπηρέαστα από δυσλειτουργίες και θόρυβο.



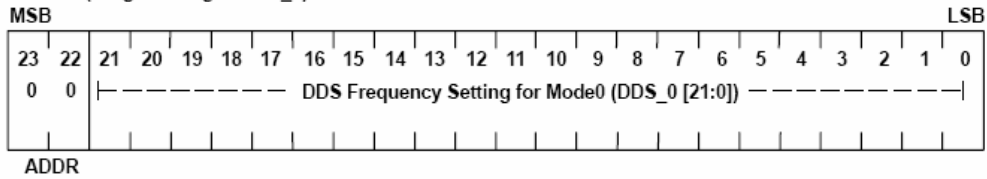
Οι λέξεις ελέγχου είναι 24 bits στο μήκος. Το πρώτο εισερχόμενο bit είναι το περισσότερο σημαντικό (msb).

Για να προγραμματιστεί πλήρως το TRF6900, οι λέξεις των τεσσάρων 24 bits πρέπει να σταλούν ως εξής: A, B, C, D. Εάν κάποια bit πρέπει να αλλαχτούν σε έναν καταχωρητή, αυτό μπορεί να γίνει αλλάζοντας το περιεχόμενο του συγκεκριμένου καταχωρητή.

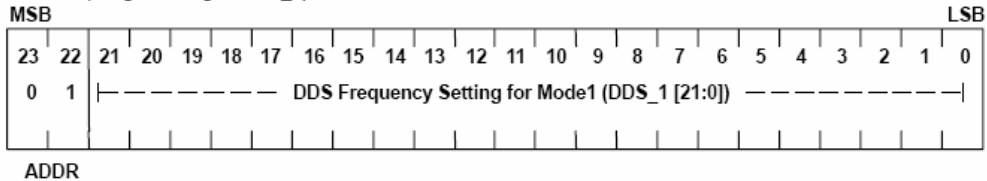
Ο καθορισμός των λέξεων ελέγχου διευκρινίζεται στην εικόνα 12 και στους παρακάτω πίνακες γίνεται πλήρης περιγραφή των λειτουργιών κάθε παραμέτρου.

Υπάρχει και άλλος ένας καταχωρητής. Ο καταχωρητής E ο οποίος χρησιμοποιείται για λόγους δοκιμής.

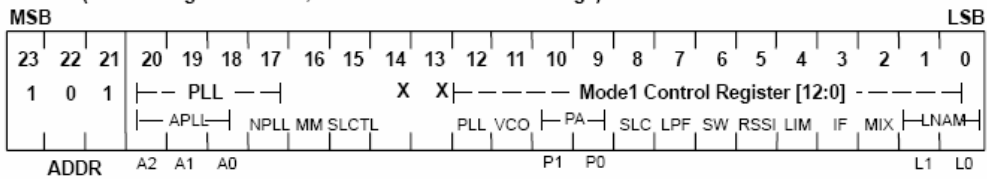
A-Word (Programming of DDS_0)



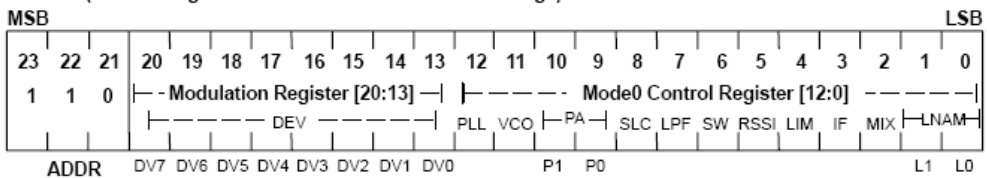
B-Word (Programming of DDS_1)



C-Word (Control Register for PLL, Data Slicer and Mode1 Settings)



D-Word (Control Register for Modulation and Mode0 Settings)



SYMBOL	BIT LOCATION	NUMBER OF BITS	DESCRIPTION	INITIAL SETTINGS AFTER POWER-UP	
				DEFAULT STATE	DEFAULT VALUE
0_LNAM	[1:0]	2	Low-noise amplifier operation mode L1 L0 0 0 : LNA disabled 0 1 : LNA enable – low-gain mode 1 0 : LNA disabled 1 1 : LNA enable – normal operation mode	Disabled	00b
0_MIX	[2]	1	Enable mixer 1: enabled 0: disabled	Disabled	0b
0_IF	[3]	1	Enable 1 st IF amplifier 1: enabled 0: disabled	Disabled	0b
0_LIM	[4]	1	Enable limiter 1: enabled 0: disabled	Disabled	0b
0_RSSI	[5]	1	Enable RSSI 1: enabled 0: disabled	Disabled	0b
0_SW	[6]	1	Data switch 0 : LPF amplifier input routed to demodulator (FSK/FM) 1 : LPF amplifier input routed to RSSI (OOK/ASK)	Routed to Demodulator	0b
0_LPF	[7]	1	Enable LPF amplifier 1: enabled 0: disabled	Disabled	0b
0_SLC	[8]	1	Enable data slicer 1: enabled 0: disabled	Disabled	0b
0_PA	[10:9]	2	Power amplifier mode P1 P0 0 0 : disabled 0 1 : 10-dB attenuation, enable modulation via TX_DATA 1 0 : 20-dB attenuation, enable modulation via TX_DATA 1 1 : 0-dB attenuation, enable modulation via TX_DATA	Disabled	00b
0_VCO	[11]	1	During operation, this bit should always be enabled (1: enabled), unless an external VCO is used.	Disabled	0b
0_PLL	[12]	1	Enable PLL (DDS system, RF, VCO, divider, phase comparator and charge pump) 1: enabled 0: disabled	Disabled	0b

SYMBOL	BIT LOCATION	NUMBER OF BITS	DESCRIPTION	INITIAL SETTINGS AFTER POWER-UP	
				DEFAULT STATE	DEFAULT VALUE
1_LNAM	[1:0]	2	Low-noise amplifier operation mode L1 L0 0 0 : LNA disabled 0 1 : LNA enable – low-gain mode 1 0 : LNA disabled 1 1 : LNA enable – normal operation mode	Disabled	00b
1_MIX	[2]	1	Enable mixer 1: enabled 0: disabled	Disabled	0b
1_IF	[3]	1	Enable 1st IF amplifier 1: enabled 0: disabled	Disabled	0b
1_LIM	[4]	1	Enable limiter 1: enabled 0: disabled	Disabled	0b
1_RSSI	[5]	1	Enable RSSI 1: enabled 0: disabled	Disabled	0b
1_SW	[6]	1	Data switch 0 : LPF amplifier input routed to demodulator (FSK/FM) 1 : LPF amplifier input routed to RSSI (OOK/ASK)	Routed to Demodulator	0b
1_LPF	[7]	1	Enable LPF amplifier 1: enabled 0: disabled	Disabled	0b
1_SLC	[8]	1	Enable data slicer 1: enabled 0: disabled	Disabled	0b
1_PA	[10:9]	2	Power amplifier mode P1 P0 0 0 : disabled 0 1 : 10-dB attenuation, enable modulation via TX_DATA 1 0 : 20-dB attenuation, enable modulation via TX_DATA 1 1 : 0-dB attenuation, enable modulation via TX_DATA	Disabled	00b
1_VCO	[11]	1	During operation, this bit should always be enabled (1: enabled), unless an external VCO is used.	Disabled	0b
1_PLL	[12]	1	Enable PLL (DDS system, VCO, RF divider, phase comparator and charge pump) 1: enabled 0: disabled	Disabled	0b

SYMBOL	WORD	BIT LOCATION	NUMBER OF BITS	DESCRIPTION	INITIAL SETTINGS AFTER POWER-UP	
					DEFAULT STATE	DEFAULT VALUE
DDS_0	A-word	[21:0]	22	DDS frequency setting in Mode0	Zero	All zeroes
DDS_1	B-word	[21:0]	22	DDS frequency setting in Mode1	Zero	All zeroes
DEV	D-word	[20:13]	8	FSK frequency deviation register	Zero	All zeroes
SLCTL	C-word	[15]	1	Slicer mode select bit 0 : hold mode 1 : learning mode	Hold mode	0b
APLL	C-word	[20:18]	3	Acceleration factor for the frequency acquisition aid charge pump A2 A1 A0 0 0 0 : 1 0 0 1 : 20 0 1 0 : 40 0 1 1 : 60 : : 1 1 1 : 140	Zero	000b
NPLL	C-word	[17]	1	PLL divider ratio 0 : 256 1 : 512	256	0b
MM	C-word	[16]	1	Modulation mode select. Sets the behavior of pin TX_DATA to FSK data input. 0 : FSK/FM 1 : Do not use	FSK mode	0b

Στους δυο προηγούμενους πίνακες αποτυπώνεται η πλήρης περιγραφή των καταχωρητών προγραμματισμού του TRF6900.

Οι A και B καταχωρητές χρησιμοποιούνται για τον προγραμματισμό των λέξεων DDS. Για mode 0 δίνεται η συχνότητα του DDS_0 στον καταχωρητή A και για mode 1 δίνεται η συχνότητα DDS_1 στον καταχωρητή B.

Ο καταχωρητής C είναι ένας καταχωρητής ελέγχου ο οποίος περιέχει όλες τις παραμέτρους για τα PLL, data slicer και τις παραμέτρους του mode 1.

Ο καταχωρητής D είναι ένας καταχωρητής ελέγχου ο οποίος περιέχει την απόκλιση διαμόρφωσης FSK και τις παραμέτρους του mode 0.

Operating Modes

Οι δυο παρακάτω πίνακες εξηγούν τους τρόπους λειτουργίας και τις συχνότητες εκπομπής όπως τίθενται από τους ακροδέκτες stdby, mode και TX_data που χρησιμοποιούνται μαζί με τις DDS συχνότητες.

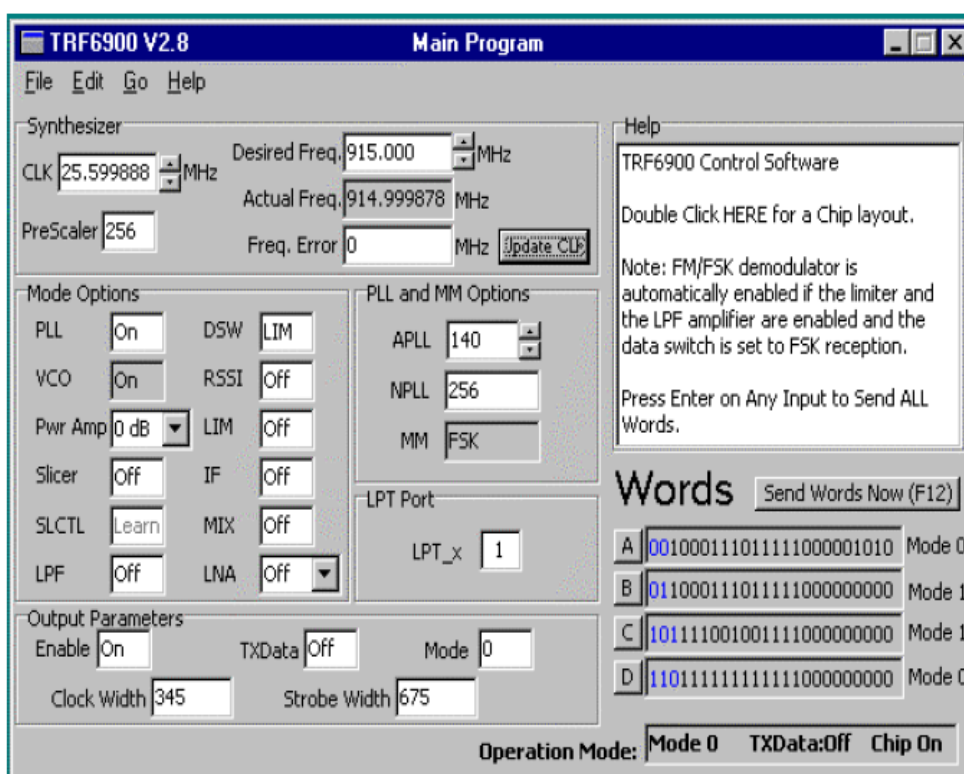
TERMINAL			TRANSMIT FREQUENCY
STDBY	MODE	TX_DATA	
1	0	0	$f_{out} = f_{ref} \times N \times (DDS_0)/2^{24}$
1	0	1	$f_{out} = f_{ref} \times N \times (DDS_0 + 4 \times DEV)/2^{24}$
1	1	0	$f_{out} = f_{ref} \times N \times (DDS_1)/2^{24}$
1	1	1	$f_{out} = f_{ref} \times N \times (DDS_1 + 4 \times dev)/2^{24}$

STDBY	OPERATING MODE
0	Standby/programming mode – power down of all blocks
1	Operating mode and programming mode

Υπάρχουν δυο ανεξάρτητοι τρόποι λειτουργίας , όπως φαίνεται στο παρακάτω σχήμα , τα mode 0 και mode 1. Αυτοί επιτρέπουν εξαιρετικά γρήγορη μεταγωγή μεταξύ δυο ήδη προγραμματισμένων ρυθμίσεων μεταβάλλοντας τον ακροδέκτη mode. Κάθε mode μπορεί να αντιμετωπισθεί ως τράπεζα καταχωρήσεων διαμόρφωσης , οι οποίες αποθηκεύουν τις ρυθμίσεις συχνότητας και τις ρυθμίσεις ενεργοποίησης/απενεργοποίησης για κάθε λειτουργικό διάγραμμα του TRF6900. Το τερματικό mode , έπειτα , χρησιμοποιείται για να κάνει μεταγωγή ασυγχρόνως μεταξύ mode 0 και mode 1 , όπως φαίνεται στον πίνακα 4.

FUNCTION/DESCRIPTION	MODE0	MODE1
Receive polling with frequency hopping, or scan band	Receive on frequency 0	Receive on frequency 1
Transmit and receive on different frequencies	Transmit on frequency 0	Receive on frequency 1
Broadcast on one frequency and receive on another	Transmit on frequency 0 (broadcast channel)	Receive on frequency 1
Rapid switch between receive and power saving mode (keep DDS/VCO running)	Receive on frequency 0	All blocks off except DDS, VCO, and PLL
Emulate FSK transmit operation using the MODE terminal for wideband FSK	Transmit on frequency 0	Transmit on frequency 0 + deviation

Περιγραφή λειτουργίας και χρήσης του αναπτυξιακού



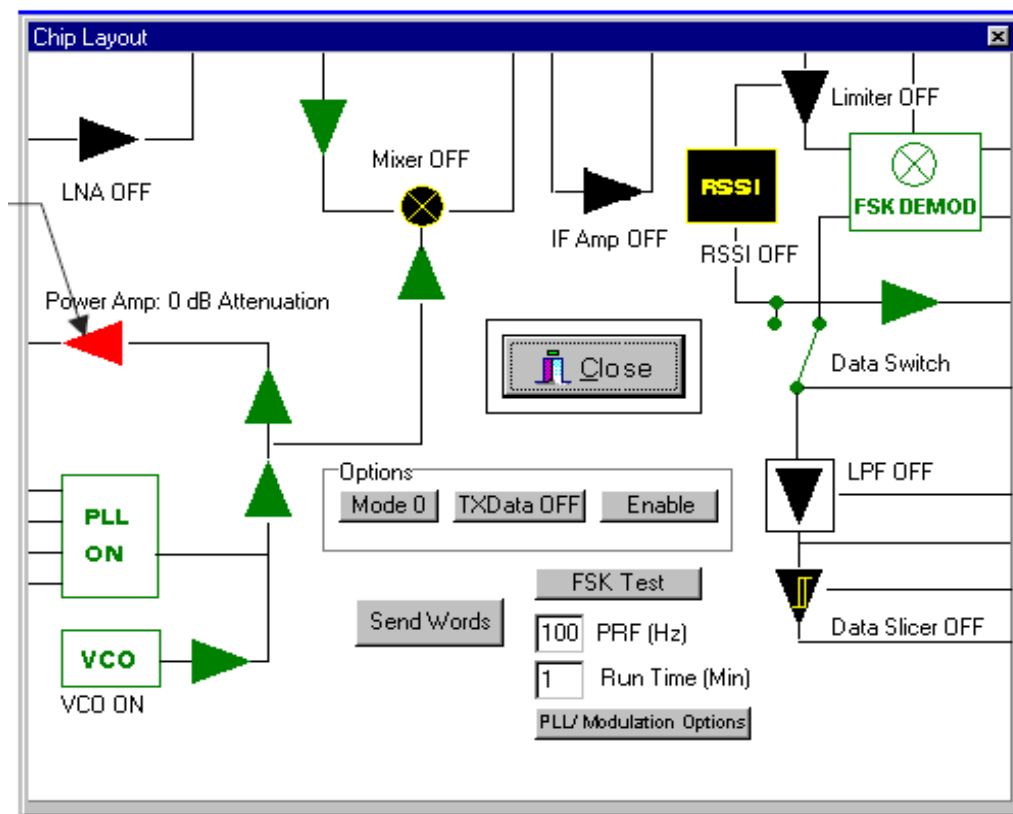
Παραπάνω βλέπουμε τη κύρια οθόνη του προγράμματος TRF6900.

Αρχικά βλέπουμε το συνθέτη συχνότητας. Σε αυτόν δηλώνουμε τη συχνότητα του κρυστάλλου, την επιθυμητή συχνότητα εκπομπής ή τη συχνότητα του τοπικού ταλαντωτή για λήψη. Αυτή η τιμή εισάγεται απευθείας σε δυαδική μορφή στο καταχωρητή A ή B αναλόγως το mode που βρισκόμαστε.

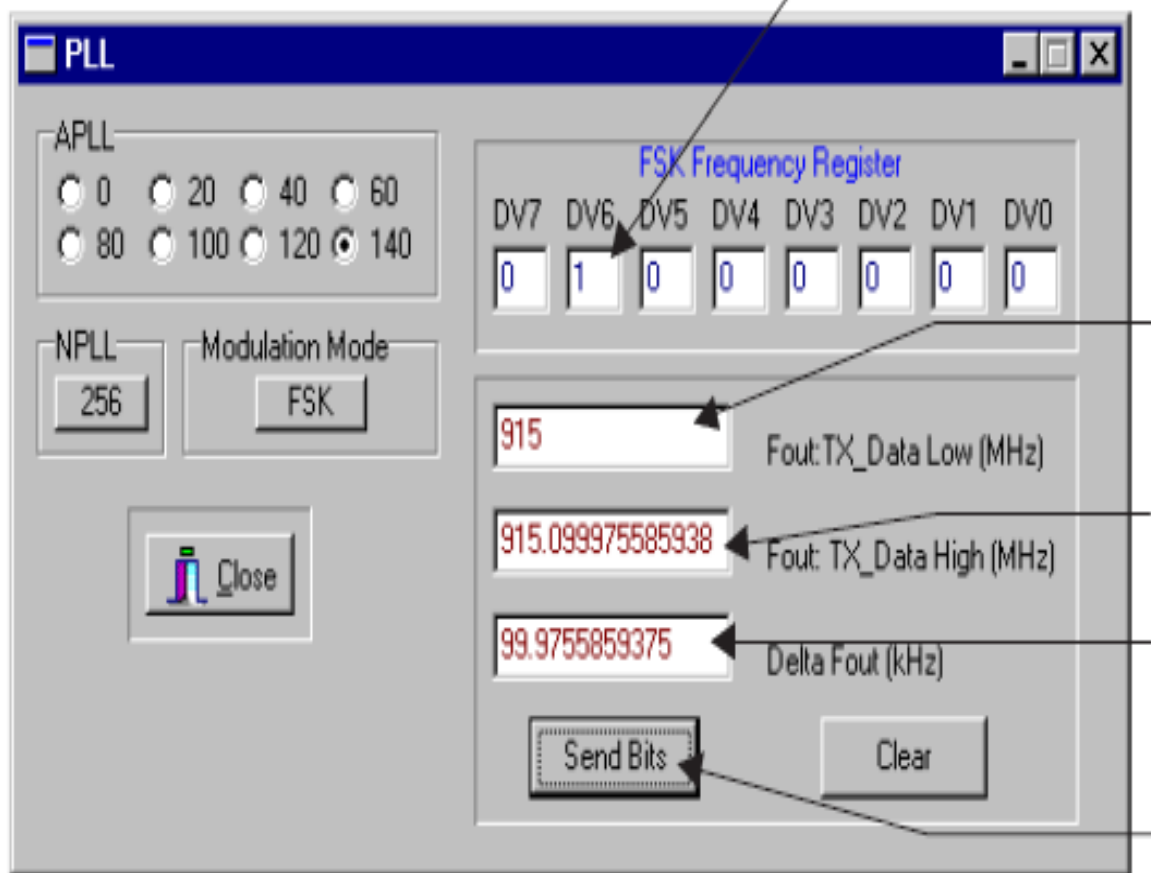
Στις επιλογές του τρόπου λειτουργίας μπορούμε να ενεργοποιήσουμε τις βαθμίδες πομπού και δέκτη.

Στις παραμέτρους εξόδου ενεργοποιούμε το πομποδέκτη, εισάγουμε τον επιθυμητό ρυθμό δεδομένων, επιλέγουμε σε ποιο τρόπο λειτουργίας θα είμαστε και τέλος με το TXDATA να στέλνουμε δεδομένα (enable).

Μετά από αυτή τη διαδικασία θα έχουν συμπληρωθεί αυτόματα και οι λέξεις ελέγχου C ή D αναλόγως το mode που βρισκόμαστε.



Στο δεύτερο μενού βλέπουμε το σχηματικό του πομποδέκτη όπου μπορούμε να επιλέξουμε τις βαθμίδες που μας ενδιαφέρουν καθώς να κάνουμε μια δοκιμή εκπομπής FSK διαμορφωμένου σήματος.

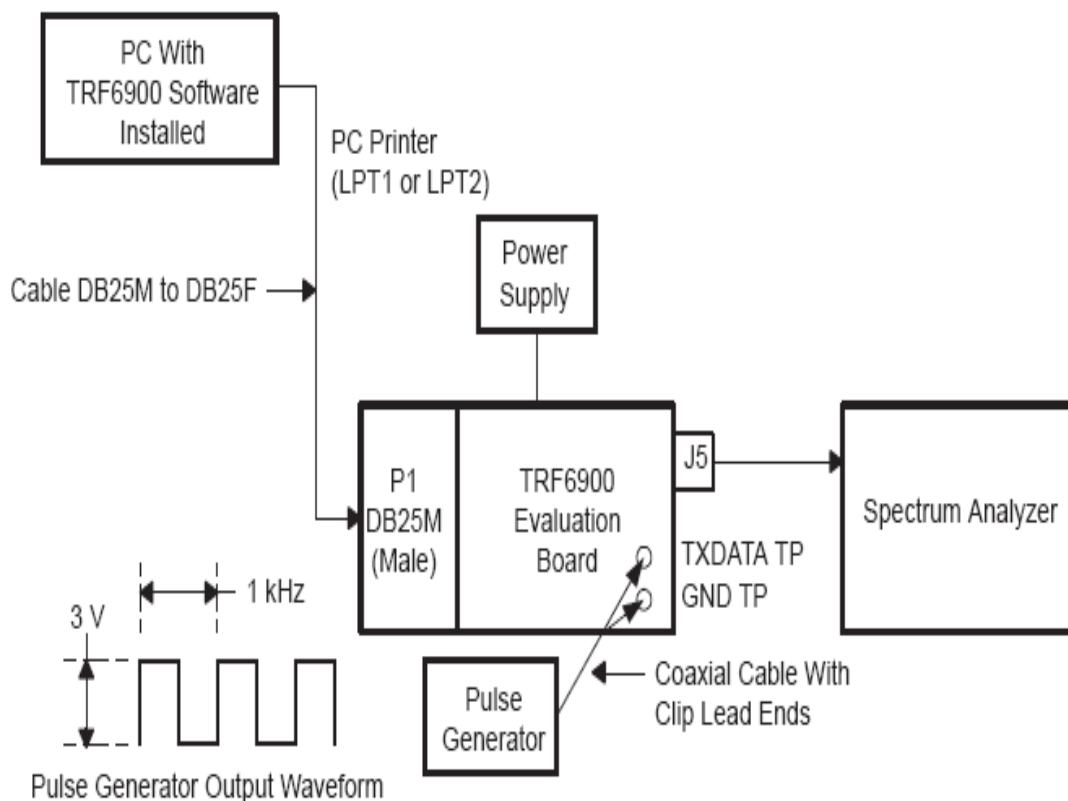


Στο παραπάνω μενού έχουμε τη δυνατότητα να κλειδώσουμε το κύκλωμα του PLL αλλά και να δηλώσουμε τη συχνότητα απόκλισης όταν ο FSK τρόπος διαμόρφωσης έχει επιλεχτεί.

ΣΕΝΑΡΙΑ ΔΟΚΙΜΩΝ

Για να ελέγχουμε ότι το TRF6900 λειτουργεί χωρίς προβλήματα σαν πομπός και σαν δέκτης αρκεί να ακολουθήσουμε τις παρακάτω διαδικασίες.

Ο έλεγχος σωστής λειτουργίας του πομπού υλοποιείτε με το παρακάτω σχήμα.



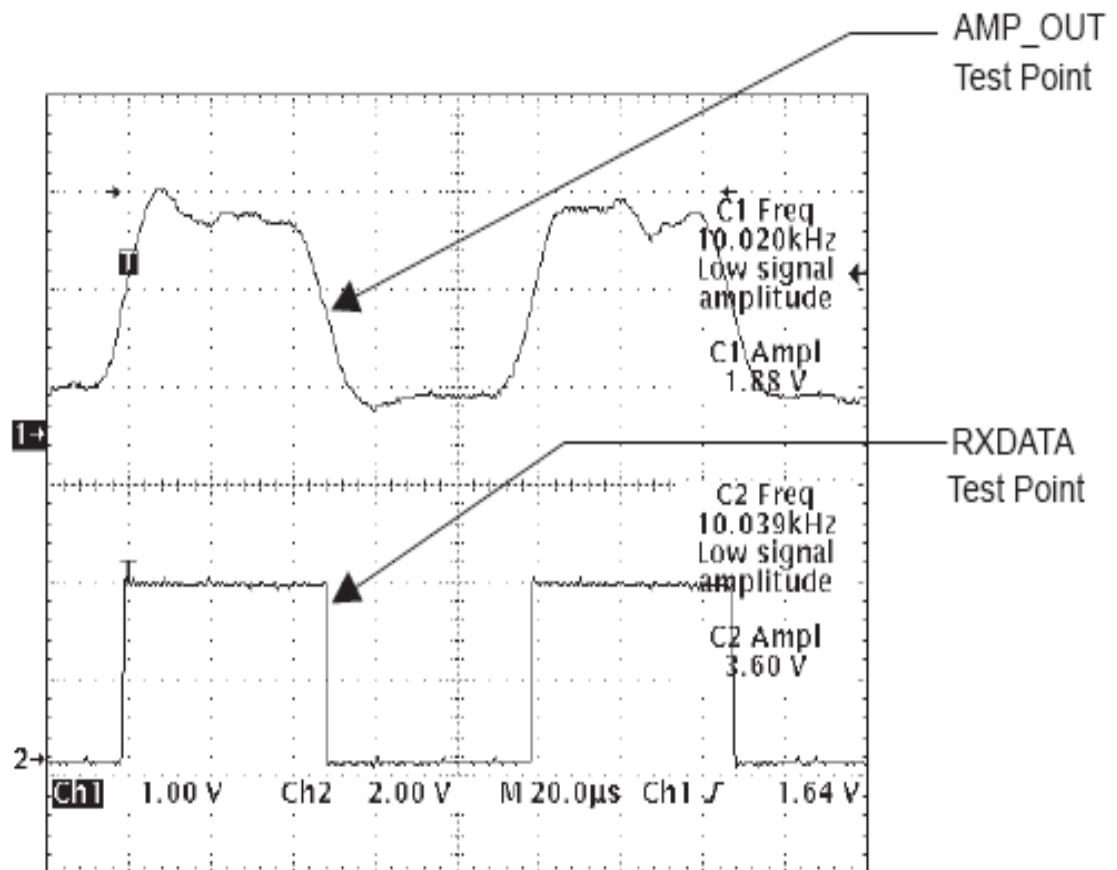
Τα βήματα είναι τα παρακάτω:

Ορίζουμε το TRF6900 μέσω του προγράμματος να λειτουργεί ως πομπός με διαμόρφωση FSK.

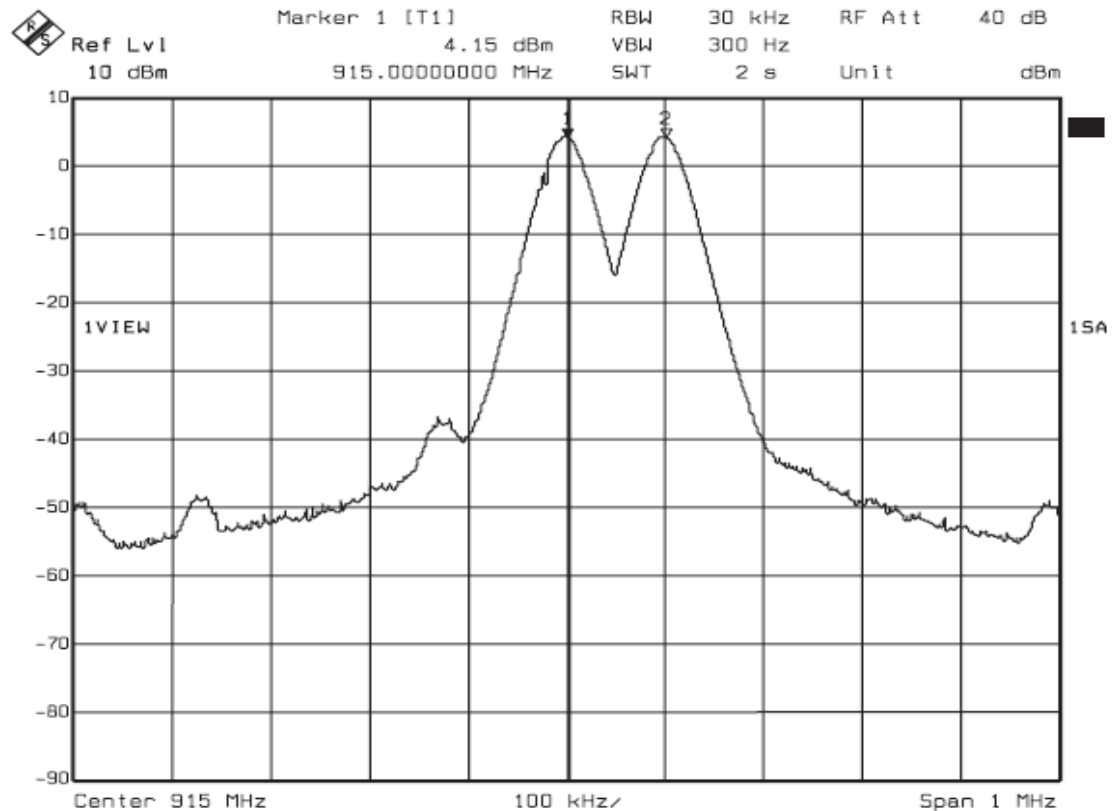
Ρυθμίζουμε το φασματογράφο μας στις επιθυμητές συχνότητες.

Εισάγουμε με τη γεννήτρια δεδομένων τετραγωνικούς παλμούς στο TXDATA

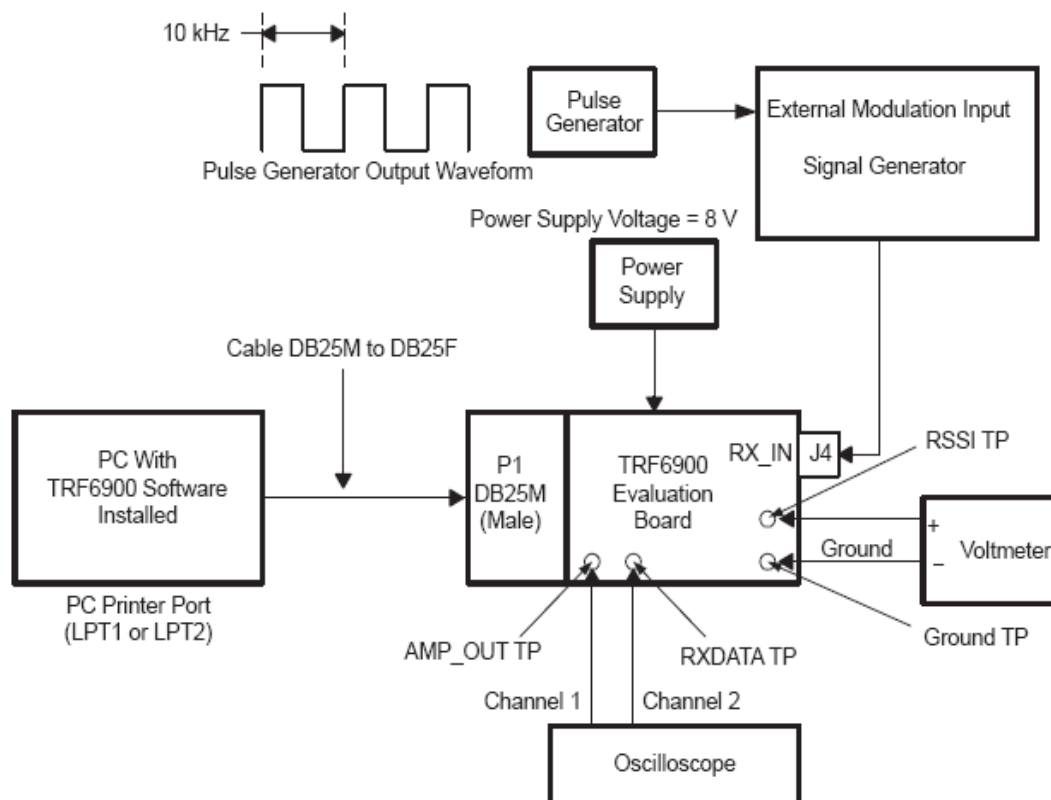
Έτσι μπορούμε να δούμε στο φασματογράφο μας το παρακάτω γράφημα.



Παραπάνω βλέπουμε την έξοδο του ενισχυτή και χαμηλοπερατού φίλτρου και τα πληρως αναγγενημένα δεδομένα στη έξοδο του τεμαχιστή δεδομένων.



Βλέπουμε ότι πρόκειται για μια FSK διαμόρφωση με απόκλιση συχνότητας 100KHz ,όπου η συχνότητα f_1 θα ισούται με 915.0 MHz και θα περιέχει τα low bits πληροφορίας ενώ η συχνότητα f_2 με 915.10 MHz και θα περιέχει τα high bits πληροφορίας.



Τα βήματα είναι τα παρακάτω:

Ορίζουμε το TRF6900 μέσω του προγράμματος να λειτουργεί ως δέκτης.

Εισάγουμε με τη γεννήτρια δεδομένων τετραγωνικούς παλμούς στην είσοδο ενός εξωτερικού διαμορφωτή.

Συνδέουμε το παλμογράφο στα AMP_OUT και RXDATA και ένα πολύμετρο για τη συνεχή τάση στην ένδειξη λαμβανομένου σήματος (RSSI).

